



ФЕДЕРАЛЬНАЯ СЛУЖБА
 ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ,
 ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(21), (22) Заявка: **2004102541/09, 28.01.2004**

(24) Дата начала действия патента: **28.01.2004**

(43) Дата публикации заявки: **10.07.2005**

(45) Опубликовано: **10.11.2005 Бюл. № 31**

(56) Список документов, цитированных в отчете о поиске: :**PAUL H.MOOSE A Technique for Orthogonal frequency division multiplexing frequency offset correction, IEEE Transactions on communications, v.42, no.10, October 1994. US 6459679 B1, 01.10.2002. US 6047034 A, 04.04.2000. US 20020065047 A1, 30.05.2002. WO 0245387 A2, 06.06.2002. RU 2105423 C1, 20.02.1998.**

Адрес для переписки:

394077, г.Воронеж, Московский пр-т, 97, ЗАО "КОДОФОН", В.А. Фурсовой

(72) Автор(ы):

**Гармонов А.В. (RU),
 Табацкий В.Д. (RU)**

(73) Патентообладатель(ли):

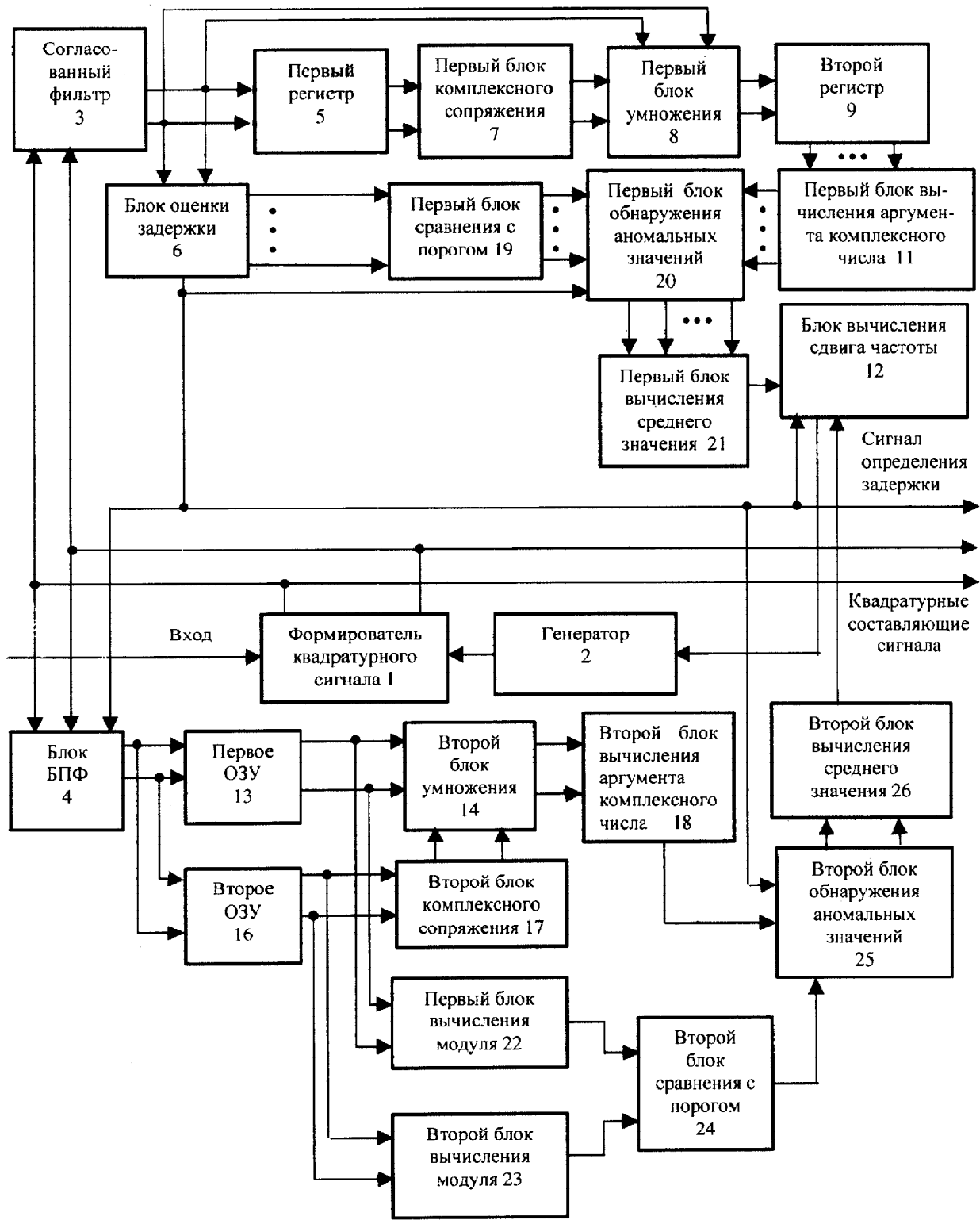
Закрытое акционерное общество "КОДОФОН" (RU)

(54) СПОСОБ синхронизации сигналов и устройство для его осуществления

(57) Реферат:

Изобретение относится к радиотехнике, в частности к способу и устройству синхронизации, и может быть использовано в приемниках локальных беспроводных сетей на базе стандарта 802.11 и системах широкополосного доступа к Интернету на базе стандарта 802.16, а также в других беспроводных телекоммуникационных системах, использующих OFDM сигналы. Технический

результат заключается в повышении точности оценки частоты при низких отношениях сигнал/шум и частотно-селективном фединге. Этот результат достигается за счет уменьшения аномальных ошибок, которые обнаруживают и исключают при формировании оценки сдвига частоты, повышают точность оценки частоты при низких отношениях сигнал/шум и частотно-селективном фединге. 2 н. и 4 з.п. ф-лы, 9 ил.



Фиг. 4



FEDERAL SERVICE FOR INTELLECTUAL PROPERTY, PATENTS AND TRADEMARKS

(12) ABSTRACT OF INVENTION

(21), (22) Application: 2004102541/09, 28.01.2004

(24) Effective date for property rights: 28.01.2004

(43) Application published: 10.07.2005

(45) Date of publication: 10.11.2005 Bull. 31

Mail address: 394077, g.Voronezh, Moskovskij pr-t, 97, ZAO "KODOFON", V.A. Fursovoj

(72) Inventor(s): Garmonov A.V. (RU), Tabatskij V.D. (RU) (73) Proprietor(s): Zakrytoe aktsionernoe obshchestvo "KODOFON" (RU)

(54) METHOD FOR SYNCHRONIZATION OF SIGNALS AND DEVICE FOR REALIZATION OF SAID METHOD

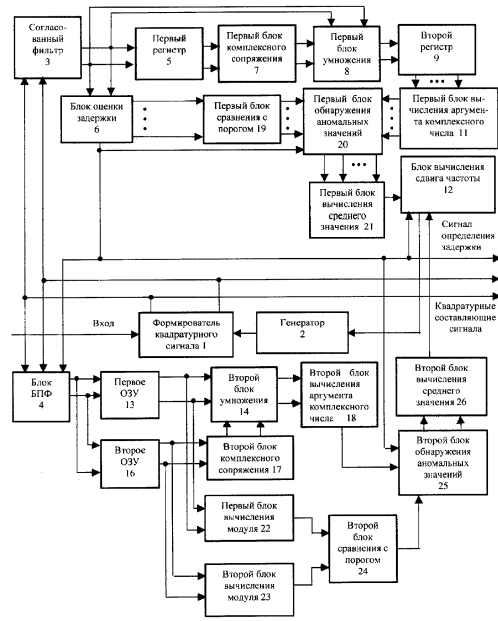
(57) Abstract:

FIELD: radio engineering.

SUBSTANCE: method includes decreasing number of anomalous errors, which are detected and prevented during forming of estimate of frequency shift, increasing precision of frequency estimation with low relations of signal/noise and frequency-selective feeding.

EFFECT: higher precision when used with receivers of local wireless networks of 802,11 standard and broadband internet access systems of 802,16 standard, and other wireless communication systems, using OFDM signals.

2 cl, 9 dwg



Фиг. 4

RU 2 264 045 C 2

RU 2 264 045 C 2

Изобретение относится к радиотехнике, в частности к способам и устройствам синхронизации сигналов, и может быть использовано в приемниках локальных беспроводных сетей на базе стандарта 802.11 и системах широкополосного доступа к Интернету на базе стандарта 802.16, а также в других беспроводных телекоммуникационных системах, использующих OFDM сигналы.

Для синхронизации принимаемых OFDM (Orthogonal Frequency Division Multiplexing) сигналов с опорными сигналами приемника необходимо оценить их временную задержку и частотный сдвиг.

В OFDM системах для частотно-временной синхронизации обычно используют преамбулу фрейма (последовательность пилот сигналов, которая предшествует информационному сообщению). Примером такой преамбулы может служить преамбула по стандарту 802.11 [Supplement to IEEE Standard for Information technology. Part 11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) specifications: High-speed Physical Layer in the 5 GHz Band, Figure 110] структура, которой приведена на фиг.1.

Преамбула состоит из десяти коротких и двух длинных OFDM пилот сигналов.

Короткие OFDM пилот сигналы состоят из 12 поднесущих, которые модулированы элементами S последовательности:

$$S_{-26,26} = \sqrt{(13/6)} \{0, 0, 1+j, 0, 0, 0, -1-j, 0, 0, 0, 1+j, 0, 0, 0, -1-j, 0, 0, 0, -1-j, 0, 0, 0, 1+j, 0, 0, 0, 0, 0, 0, -1-j, 0, 0, 0, -1-j, 0, 0, 0, 1+j, 0, 0, 0, 1+j, 0, 0, 0, 1+j, 0, 0, 0, 1+j, 0, 0\}$$

Длинные OFDM пилот сигналы состоят из 52 поднесущих, которые модулированы элементами L последовательности:

$$L_{-26,26} = \{1, 1, -1, -1, 1, 1, -1, 1, -1, 1, 1, 1, 1, 1, 1, -1, -1, 1, 1, -1, 1, -1, 1, 1, 1, 1, 0, 1, -1, -1, 1, 1, -1, 1, -1, 1, -1, -1, -1, -1, -1, 1, 1, -1, -1, 1, 1, -1, 1, 1, 1, 1\}$$

Аналогичную структуру имеет преамбула в стандарте 802.16 [Amendment to IEEE Standard for Local and Metropolitan Area Networks. Part 16: Air Interface for Fixed Broadband Wireless Access Systems].

Известны различные способы и устройства синхронизации приема сигналов, например способ и устройство, описанные в патенте США №5.812.523 [US №5. 812.523 «Method and device for synchronization at OFDM-system», Int. Cl. H 04 J 11/00]. В этом способе и устройстве временную и частотную синхронизацию выполняют по пилот сигналу, состоящему из двух повторяющихся частей. Для оценки временной задержки и частотного сдвига сигнала вычисляют комплексное произведение значений комплексно-сопряженного принимаемого сигнала и принимаемого сигнала, задержанного на половину пилот сигнала. Затем в скользящем окне, длительностью равном половине пилот сигнала, вычисляют среднее значение полученных произведений. По временному положению максимального значения модуля и фазе комплексного значения произведения, соответствующего этому максимальному модулю, оценивают временную задержку и частотный сдвиг соответственно.

Устройство, реализующее предложенный способ, представляет собой последовательно включенные узлы, выполняющие перечисленные выше операции: комплексное сопряжение принимаемого сигнала, задержку сигнала, комплексное произведение, вычисление скользящего среднего, вычисление модуля и фазы скользящего среднего.

Недостатком этого технического решения является то, что при разности фаз между двумя частями пилот сигнала, вызванной частотным сдвигом между принимаемым и опорным сигналом, большей π , рассматриваемые способ и устройство малоэффективны.

Поэтому, как правило, оценку сдвига частоты сигнала выполняют в два этапа. На первом этапе определяют начальную оценку сдвига частоты, а затем на втором определяют уточненную оценку сдвига частоты. Пример такой системы и способа описан в патенте США №6.459.679 B1 [US №6.459.679 «Method and apparatus for synchronizing orthogonal frequency division multiplexing (OFDM) receiver». Int. Cl.⁷ H 04 J 11/00]. В этом патенте приведены система и способ, в которых временную и частотную синхронизацию выполняют по одному пилот сигналу, передаваемому в начале фрейма. Пилот сигнал во

временной области состоит из двух частей, причем вторая часть сигнала повторяет первую. Для оценки временной задержки и частотного сдвига сигнала вычисляют временную метрику, значения которой равны скользящей сумме произведений между значениями комплексно-сопряженного принимаемого сигнала и принимаемым сигналом, задержанным на половину пилот сигнала. Сумма произведений вычисляется на интервале, равном половине длительности пилот сигнала. По временному положению максимального значения модуля временной метрики и фазе, соответствующей этому максимальному модулю временной метрики, оценивают временную задержку и частотный сдвиг соответственно. Если разность фаз между двумя частями пилот сигнала больше π , то частотный сдвиг определяют по разности фаз между двумя частями пилот сигнала и максимуму корреляционной функции спектра пилот сигнала и опорного спектра, которые являются псевдослучайными последовательностями.

Устройство синхронизации реализовано на сигнальном процессоре.

Недостатком этого технического решения является то, что и начальная и уточненная оценки сдвига частоты определяются по одному пилот сигналу, что при низких отношениях сигнал/шум и частотно-селективных замираниях приводит к ухудшению характеристик оценки параметров сигналов.

Наиболее близким техническим решением к заявляемому изобретению является способ, приведенный в статье [Paul H. Moose A Technique for Orthogonal Frequency Division Multiplexing Frequency Offset Correction. IEEE TRANSACTIONS ON COMMUNICATIONS, VOL. 42, NO. 10, OCTOBER 1994].

Известный способ, в котором частотную синхронизацию выполняют по K коротким и двум длинным пилот сигналам, можно представить в виде последовательности следующих операций:

Выполняют оценку временной задержки принимаемых коротких пилот сигналов.

Одновременно с оценкой временной задержки коротких пилот сигналов вычисляют комплексную величину корреляции принимаемого короткого пилот сигнала.

Выполняют умножение комплексной величины корреляции принимаемого короткого пилот сигнала на сопряженную величину корреляции принимаемого короткого пилот сигнала, задержанную на длительность одного короткого пилот сигнала.

Выполняют суммирование полученных $(K-1)$ произведений, где K - число коротких пилот сигналов, определенных подряд с интервалом, равным длительности одного короткого пилот сигнала.

Вычисляют аргумент полученной комплексной суммы произведений величин корреляции принимаемого короткого пилот сигнала.

По вычисленному аргументу вычисляют начальную оценку сдвига частоты после выполнения оценки временной задержки.

Выполняют начальную частотную коррекцию принимаемого сигнала, используя вычисленную начальную оценку сдвига частоты.

Выполняют БПФ (быстрое преобразование Фурье) принятых первого и второго длинных пилот сигналов.

Выполняют умножение спектральных составляющих первого длинного пилот сигнала на комплексно-сопряженные спектральные составляющие с равными частотами спектров второго длинного пилот сигнала.

Выполняют суммирование полученных произведений.

Вычисляют аргумент полученной комплексной суммы произведений спектральных составляющих первого длинного пилот сигнала на комплексно-сопряженные спектральные составляющие с равными частотами спектров второго длинного пилот сигнала.

По вычисленному аргументу вычисляют уточненную оценку сдвига частоты.

Выполняют уточненную частотную коррекцию принимаемого сигнала, используя вычисленную уточненную оценку сдвига частоты.

При этом сдвиг частоты определяют по формуле $F_{of} = \Delta\varphi / 2\pi T_s$, где F_{of} - сдвиг частоты, $\Delta\varphi$ - разность фаз, T_s - длительность пилот сигнала. Эта формула применима

как для определения начальной, так и для определения уточненной оценки сдвига частоты. В первом случае $\Delta\varphi$ равна аргументу комплексной суммы произведений величин корреляции принимаемого короткого пилот сигнала, а T_s - длительность короткого пилот сигнала, во втором случае $\Delta\varphi$ равна аргументу комплексной суммы произведений

5 спектральных составляющих первого длинного пилот сигнала на комплексно-сопряженные спектральные составляющие с равными частотами спектров второго длинного пилот сигнала, а T_s - длительности длинного пилот сигнала.

В описании прототипа не приведено устройство, однако по описанию алгоритма можно представить устройство, которое реализует описанный способ-прототип. Структурная

10 схема такого устройства показана на фиг.2.

Устройство фиг.2 содержит формирователь квадратурного сигнала 1, генератор 2, согласованный фильтр 3, блок быстрого преобразования Фурье 4 (БПФ), первый регистр 5, блок оценки задержки 6, первый блок комплексного сопряжения 7, первый блок умножения 8, второй регистр 9, блок суммирования 10, первый блок вычисления аргумента

15 комплексного числа 11, блок вычисления сдвига частоты 12, первое 13 и второе 16 оперативные запоминающие устройства, второй блок умножения 14, накопитель 15, второй блок комплексного сопряжения 17 и второй блок вычисления аргумента комплексного числа 18, при этом первый вход формирователя квадратурного сигнала 1 является входом устройства, второй вход формирователя квадратурного сигнала соединен с выходом

20 генератора 2, первый и второй выходы, являющиеся соответственно синфазной и квадратурной составляющими входного сигнала, соединены соответственно с первыми и вторыми входами согласованного фильтра 3 и блока быстрого преобразования Фурье 4 и являются соответственно первым синфазным и вторым квадратурным выходами устройства, первый и второй выходы согласованного фильтра 3 соединены соответственно

25 с первыми и вторыми входами первого регистра 5, блока оценки задержки 6 и первого блока умножения 8, первый и второй выходы первого регистра 5 соединены соответственно с первым и вторым входами первого блока комплексного сопряжения 7, первый и второй выходы которого соединены соответственно с третьим и четвертым входами первого блока умножения 8, первый и второй выходы которого соединены

30 соответственно с первым и вторыми входами второго регистра 9, (К-1) выходов которого соединены с соответствующими им входами блока суммирования 10, первый и второй выходы которого соединены с первым и вторым входами первого блока вычисления аргумента комплексного числа 11, выход которого соединен с первым входом блока вычисления сдвига частоты 12, выход которого соединен со входом генератора 2, второй

35 вход блока вычисления сдвига частоты 12 объединен с третьим входом блока быстрого преобразования Фурье 4 и соединен с выходом блока оценки задержки 6, выход которого является третьим выходом устройства, первый и второй выходы блока быстрого преобразования Фурье 4 соединен соответственно с первыми и вторыми входами первого 13 и второго 16 оперативных запоминающих устройств, первый и второй выходы первого

40 запоминающего устройства 13 соединены соответственно с первым и вторым входами второго блока умножения 14, первый и второй выходы второго запоминающего устройства 16 соединены соответственно с первым и вторым входами второго блока комплексного сопряжения 17, первый и второй выходы которого соединены соответственно с третьим и четвертым входами второго блока умножения 14, первый и второй выходы которого

45 соединены соответственно с первым и вторым входами накопителя 15, первый и второй выходы которого соединены соответственно с первым и вторым входами второго блока вычисления аргумента комплексного числа 18, выход которого соединен с третьим входом блока вычисления сдвига частоты 12.

Способ-прототип осуществляют следующим образом (см.фиг.2).

50 Входной сигнал поступает на первый вход формирователя квадратурного сигнала 1, который преобразует входной сигнал в две квадратурные составляющие: синфазную и квадратурную.

Квадратурные составляющие входного сигнала поступают соответственно на первый и

второй выходы устройства и на первый и второй входы согласованного с коротким пилот сигналом фильтра 3 и блока БПФ 4. Выходными сигналами согласованного фильтра является комплексная величина корреляции принимаемого короткого пилот сигнала.

Выходные сигналы согласованного фильтра 3 с первого и второго выходов поступают
5 соответственно на первый и второй входы блока оценки задержки 6. С выхода блока оценки задержки 6 сигнал определения задержки, который определяет момент окончания K коротких пилот сигналов, поступает на третий вход блока БПФ 4, второй вход блока вычисления сдвига частоты 12 и на третий выход устройства.

Выходные сигналы согласованного фильтра 3 с первого и второго выходов поступают
10 соответственно на первый и второй входы первого регистра 5, задерживающего их на длительность короткого пилот сигнала. Первый блок комплексного сопряжения 7 выполняет комплексное сопряжение выходных сигналов первого регистра 5.

Очевидно, что блок комплексного сопряжения 7 можно реализовать в виде логической схемы, меняющей знак мнимой части значения входного сигнала на противоположный.

Выходные сигналы первого блока комплексного сопряжения 7 с первого и второго
15 выходов поступают соответственно на третий и четвертый входы первого блока умножения 8. На первый и второй входы этого блока 8 поступают выходные сигналы согласованного фильтра 3.

Таким образом, в момент окончания короткого пилот сигнала, когда модуль сигнала на
20 выходе согласованного фильтра 3 принимает максимальное значение, на первый и второй выходы первого блока умножения 8 поступает комплексный сигнал, аргумент которого равен разности фаз двух коротких пилот сигналов.

Выходной комплексный сигнал с первого и второго выходов первого блока умножения 8
25 поступает соответственно на первый и второй входы второго сдвигового регистра 9, осуществляющего его задержку на K длительностей короткого пилот сигнала. Отводы второго регистра 9 выполнены с интервалом, равным длительности одного короткого пилот сигнала. С $(K-1)$ отводов сигналы поступают на соответствующие им входы блока суммирования 10.

В блоке 10 выполняют суммирование действительных и мнимых частей $(K-1)$
30 комплексных чисел таким образом, что в момент окончания K -го короткого пилот сигнала на выходы блока суммирования 10 поступает комплексное значение суммы произведений величин корреляции принимаемого короткого пилот сигнала с аргументом, равным оценке разности фаз коротких пилот сигналов.

Сигналы с первого и второго выходов блока суммирования 10 поступают соответственно
35 на первый и второй входы первого блока вычисления аргумента комплексного числа 11, который вычисляет аргумент комплексного числа, поступившего на его вход.

Следовательно, после окончания K -го пилот сигнала с выхода первого блока
40 вычисления аргумента комплексного числа 11 на первый вход блока вычисления сдвига частоты 12 поступает оценка разности фаз коротких пилот сигналов. Блок вычисления сдвига частоты 12 по оценке разности фаз коротких пилот сигналов вычисляет начальную оценку сдвига частоты. Затем начальная оценка сдвига частоты с выхода блока 12 поступает на вход генератора 2, который по этой оценке выполняет начальную частотную коррекцию принимаемого сигнала.

Блок БПФ 4 вычисляет спектры длинных пилот сигналов, которые задержаны по
45 времени относительно коротких пилот сигналов на заранее известную величину, как правило, равную длительности защитного интервала.

Полученные спектры записываются соответственно в первое 13 (ОЗУ) и второе 16 (ОЗУ)
50 оперативные запоминающие устройства. Затем эти спектры одновременно считываются из первого 13 ОЗУ и второго 16 ОЗУ. Из первого 13 ОЗУ комплексные значения спектра первого длинного пилот сигнала поступают соответственно на первый и второй входы второго 14 блока умножения. Из второго 16 ОЗУ через второй блок комплексного сопряжения 17 на третий и четвертый входы блока 14 поступают комплексные значения спектра второго длинного пилот символа.

Таким образом, на выходах второго блока умножения 14 формируется комплексный сигнал, аргумент которого равен разности фаз двух спектральных составляющих с равными частотами первого и второго длинных пилот символов. Комплексные значения выходного сигнала второго блока умножения 14 с первого и второго выходов поступают
5 соответственно на первый и второй входы накопителя 15. Результат накопления с первого и второго выходов блока 15 поступает соответственно на первый и второй входы второго блока вычисления аргумента комплексного числа 18, который вычисляет аргумент комплексного числа, поступившего на его входы.

Следовательно, с выхода второго блока вычисления аргумента комплексного числа 18
10 на третий вход блока вычисления сдвига частоты 12 поступает оценка разности фаз спектральных составляющих первого и второго длинных пилот символов. Блок вычисления сдвига частоты 12 по оценке разности фаз спектральных составляющих первого и второго длинных пилот символов вычисляет уточненную оценку сдвига частоты. Затем уточненная оценка сдвига частоты с выхода блока 12 поступает на вход генератора 2, который по
15 этой оценке выполняет уточненную частотную коррекцию принимаемого сигнала.

В OFDM системах частотная синхронизация должна быть выполнена с высокой точностью. В противном случае возникают большие потери, которые вызваны взаимными помехами между поднесущими и уменьшением амплитуды сигнала на выходах согласованных фильтров каждой поднесущей [Richard van Nee, Ramjee Prasad, OFDM
20 Wireless Multimedia Communications, Artech House, Boston-London, 2000].

При оценке параметров сигналов в шумах могут возникать аномальные ошибки [Радиотехнические системы, под ред. Ю.М.Казаринова, М.; "Высшая школа", 1990]. Частота и величина этих ошибок увеличивается при уменьшении отношения сигнал/шум и при частотно-селективном фединге.

На фиг.3 приведены гистограммы начальных оценок частоты с аномальными ошибками, полученные при моделировании способа прототипа. Синхронизация выполнялась по сигналу стандарта 802.11 в каналах с частотно-селективными замираниями.

Таким образом, недостатком способа и устройства-прототипа является ухудшение оценки сдвига частоты при низких отношениях сигнал/шум и частотно-селективных
30 замираниях, вызванное аномальными ошибками.

Задача, которую решает предлагаемое изобретение, заключается в повышении точности оценки частоты при низких отношениях сигнал/шум и частотно-селективном фединге, что достигается за счет уменьшения аномальных ошибок.

Поставленная задача решается тем, что в способ синхронизации сигнала, при котором
35 для синхронизации сигнала используют предшествующую информационному сигналу преамбулу, состоящую из K коротких и двух длинных пилот сигналов, заключающийся в том, что выполняют оценку временной задержки принимаемых коротких пилот сигналов, одновременно с оценкой временной задержки коротких пилот сигналов вычисляют комплексную величину корреляции принимаемого короткого пилот сигнала, умножают
40 комплексную величину корреляции принимаемого короткого пилот сигнала на комплексно сопряженную величину корреляции принимаемого короткого пилот сигнала, задержанную на длительность одного короткого пилот сигнала, вычисляют аргумент полученного значения, вычисляют начальную оценку сдвига частоты, выполняют начальную частотную коррекцию принимаемого сигнала, используя вычисленную начальную оценку сдвига
45 частоты, выполняют быстрое преобразование Фурье принятых первого и второго длинных пилот сигналов, выполняют умножение спектральных составляющих первого длинного пилот сигнала на комплексно-сопряженные спектральные составляющие с равными частотами спектров второго длинного пилот сигнала, вычисляют аргументы полученных комплексных произведений, вычисляют уточненную оценку сдвига частоты, выполняют
50 уточненную частотную коррекцию принимаемого сигнала, используя вычисленную уточненную оценку сдвига частоты,

согласно изобретению вводят следующую последовательность операций:

вычисляют и запоминают K модулей комплексных величин корреляции, определенных

подряд с интервалом, равным длительности одного короткого пилот сигнала, где K - число коротких пилот сигналов,

умножение комплексной величины корреляции выполняют одновременно с вычислением модулей,

5 вычисляют аргументы $(K-1)$ полученных произведений принимаемого сигнала и короткого пилот сигнала на комплексно-сопряженную величину корреляции принимаемого короткого пилот сигнала, определенных подряд с интервалом, равным длительности одного короткого пилот сигнала, вычисленные аргументы представляют собой разности фаз K комплексных величин корреляции,

10 выполняют обнаружение аномальных значений вычисленных разностей фаз $(K-1)$ комплексных величин корреляции, модули которых превысили первый заданный порог, после выполнения оценки временной задержки,

вычисляют среднее значение оставшихся неаномальных значений разностей фаз комплексных величин корреляции,

15 начальную оценку сдвига частоты вычисляют по среднему значению разности фаз комплексных величин корреляции,

вычисляют модули спектральных составляющих спектров первого и второго длинных пилот сигналов,

20 умножение спектральных составляющих выполняют одновременно с вычислением модулей,

вычисляют аргументы полученных комплексных произведений, являющихся разностями фаз спектральных составляющих с равными частотами спектров первого и второго длинных пилот сигналов,

сравнивают модули спектральных составляющих первого и второго длинных пилот

25 сигналов с заданным вторым порогом,

выполняют обнаружение аномальных значений вычисленных разностей фаз спектральных составляющих, модули которых превысили второй заданный порог,

вычисляют среднее значение оставшихся неаномальных значений разностей фаз спектральных составляющих,

30 уточненную оценку сдвига частоты вычисляют по полученному среднему значению.

При этом оценку временной задержки принимаемых коротких пилот сигналов выполняют, например, путем вычисления величины корреляции принимаемого короткого пилот сигнала, вычисления суммы K определенных подряд с интервалом, равным длительности одного короткого пилот сигнала значений модулей полученных величин взаимной корреляции, и сравнения каждой полученной суммы с заданным порогом, при 35 этом, если порог превышен, то считают, что временная задержка полученной суммы определяет временную задержку коротких пилот сигналов.

Обнаружение аномальных значений вычисленных разностей фаз комплексных величин корреляции выполняют, например, путем вычисления среднего значения разностей фаз 40 комплексных величин корреляции, формирования первого порога путем сложения полученного среднего значения разности фаз комплексных величин корреляции с первым заданным значением фазы, формирования второго порога путем вычитания из полученного среднего значения разности фаз комплексных величин корреляции второго заданного значения фазы и сравнения каждой полученной разности фаз комплексных 45 величин корреляции с двумя порогами, при этом, если разность фаз больше первого порога или меньше второго порога, то принимают решение об обнаружении аномального значения разности фаз комплексных величин корреляции.

Обнаружение аномальных значений вычисленных разностей фаз спектральных составляющих выполняют, например, путем вычисления среднего значения разностей фаз 50 спектральных составляющих, формирования первого порога путем сложения полученного среднего значения разностей фаз спектральных составляющих с первым заданным значением фазы, формирования второго порога путем вычитания из полученного среднего значения разности фаз спектральных составляющих второго заданного значением фазы

сравнения каждой полученной разности фаз спектральных составляющих с двумя порогами, при этом, если разность фаз больше первого порога или меньше второго порога, то принимают решение об обнаружении аномального значения разности фаз спектральных составляющих.

5 Сдвиг частоты определяют по формуле: $F_{of} = \Delta\varphi / 2\pi T_s$, где F_{of} - сдвига частоты, $\Delta\varphi$ - разность фаз, T_s - длительность пилот сигнала. Эта формула применима как для определения начальной, так и для определения уточненной оценки сдвига частоты. В первом случае $\Delta\varphi$ равно аргументу комплексной суммы произведений величин корреляции принимаемого короткого пилот сигнала на комплексно-сопряженную величину корреляции
10 принимаемого короткого пилот сигнала, задержанную на длительность одного короткого пилот сигнала, T_s - длительность короткого пилот сигнала, во втором случае $\Delta\varphi$ равно аргументу комплексной суммы произведений спектральных составляющих первого длинного пилот сигнала на комплексно-сопряженные спектральные составляющие с равными частотами спектров второго длинного пилот сигнала, T_s - длительность длинного
15 пилот сигнала.

Поставленная задача решается также тем, что в устройство синхронизации сигнала, содержащее формирователь квадратурного сигнала, генератор, согласованный фильтр, блок быстрого преобразования Фурье, первый регистр, блок оценки задержки, первый блок комплексного сопряжения, первый блок умножения, второй регистр, первый блок
20 вычисления аргумента комплексного числа, блок вычисления сдвига частоты, первое и второе оперативные запоминающие устройства, второй блок умножения, второй блок комплексного сопряжения и второй блок вычисления аргумента комплексного числа, при этом первый вход формирователя квадратурного сигнала является входом устройства, второй вход формирователя квадратурного сигнала соединен с выходом генератора,
25 первый и второй выходы формирователя квадратурного сигнала, являющиеся соответственно синфазной и квадратурной составляющими входного сигнала, соединены соответственно с первыми и вторыми входами согласованного фильтра и блока быстрого преобразования Фурье и являются соответственно первым синфазным и вторым квадратурным выходами устройства, первый и второй выходы согласованного фильтра соединены соответственно с первыми и вторыми входами первого регистра, блока оценки задержки и первого блока умножения, первый и второй выходы первого регистра соединены соответственно с первым и вторым входами блока комплексного сопряжения,
30 первый и второй выходы которого соединены соответственно с третьим и четвертым входами первого блока умножения, первый и второй выходы которого соединены соответственно с первым и вторыми входами второго регистра, (K-1) выходов которого соединены с соответствующими им (K-1) входами первого блока вычисления аргумента комплексного числа, выход блока вычисления сдвига частоты соединен со входом генератора, первый вход блока вычисления сдвига частоты и третий вход блока быстрого преобразования Фурье объединены и соединены с выходом блока оценки задержки, выход которого является третьим выходом устройства, первый и второй выходы блока быстрого преобразования Фурье соединены соответственно с первыми и вторыми входами первого и второго оперативных запоминающих устройств, первый и второй выходы первого запоминающего устройства соединены соответственно с первым и вторым входами второго блока умножения, первый и второй выходы второго запоминающего устройства соединены соответственно с первым и вторым входами второго блока комплексного сопряжения, первый и второй выходы которого соединены соответственно с третьим и четвертым входами второго блока умножения.
35

Согласно изобретению введены:

50 первый блок сравнения с порогом,
первый блок обнаружения аномальных значений,
первый блок вычисления среднего значения, формирующий на выходе средние значения оставшихся не аномальных значений разностей фаз комплексных величин корреляции,

первый и второй блоки вычисления модуля,
 второй блок сравнения с порогом,
 второй блок обнаружения аномальных значений,
 второй блок вычисления среднего значения, формирующий на выходе средние значения
 5 оставшихся неаномальных значений разностей фаз спектральных составляющих.

При этом (К-1) дополнительных выходов блока оценки задержки соединены с соответствующими им (К-1) входами первого блока сравнения с порогом, (К-1) выходов которого соединены с соответствующими им (К-1) первыми входами первого блока обнаружения аномальных значений, (К-1) вторые входы которого соединены с
 10 соответствующими им (К-1) выходами первого блока вычисления аргумента комплексного числа, третий вход первого блока обнаружения аномальных значений и первый вход второго блока обнаружения аномальных значений объединены и соединены с выходом блока оценки задержки, первый выход первого блока обнаружения аномальных значений соединен с первым входом первого блока вычисления среднего значения, вторые (К-1)
 15 входов которого соединены с соответствующими им (К-1) вторыми выходами первого блока обнаружения аномальных значений, выход первого блока вычисления среднего значения соединен со вторым входом блока вычисления сдвига частоты, первый и второй выходы второго блока умножения соединены соответственно с первым и вторым входами второго блока вычисления аргумента комплексного числа, выход которого соединен со вторым
 20 входом второго блока обнаружения аномальных значений, третий вход второго блока обнаружения аномальных значений соединен с выходом второго блока сравнения с порогом, первый и второй входы которого соединены соответственно с выходами первого и второго блоков вычисления модулей, первый и второй входы первого блока вычисления модуля соединены соответственно с первым и вторым выходами первого запоминающего
 25 устройства, первый и второй входы второго блока вычисления модуля соединены соответственно с первым и вторым выходами второго запоминающего устройства, первый и второй выходы второго блока обнаружения аномальных значений соединены соответственно с первым и вторым входами второго блока вычисления среднего значения, выход которого соединен с третьим входом блока вычисления сдвига частоты.

30 Заявляемая совокупность отличительных признаков изобретений, способа синхронизации сигнала и устройства для его осуществления, созданных в едином изобретательском замысле, позволяет получить новый технический эффект - повысить точность оценки частоты при низких отношениях сигнал/шум и частотно-селективном фединге, что достигается за счет уменьшения аномальных ошибок, которые обнаруживают
 35 и исключают при формировании оценки сдвига частоты.

Далее описание изобретений поясняется примерами выполнения и чертежами.

На фиг.1 показана структура преамбулы по стандарту 802.11.

На фиг.2 выполнена структурная схема устройства-прототипа.

На фиг.3 приведены гистограммы начальных оценок частоты с аномальными ошибками,
 40 полученные при моделировании способа-прототипа.

На фиг.4 выполнена структурная схема заявляемого устройства.

На фиг.5 - структурная схема блока оценки задержки τ для заявляемого устройства, приведена как пример реализации.

На фиг.6 - структурная схема блока вычисления аргумента комплексного числа (первого
 45 11 или второго 18), приведена как пример реализации.

На фиг.7 - структурная схема первого блока обнаружения аномальных значений 20 для заявляемого устройства, приведена как пример реализации.

На фиг.8 - структурная схема второго блока обнаружения аномальных значений 25 для заявляемого устройства, приведена как пример реализации.

50 На фиг.9 структурная схема блока вычисления сдвига частоты 12 для заявляемого устройства, приведена как пример реализации.

Заявляемое устройство синхронизации сигнала (фиг.4) содержит формирователь квадратурного сигнала 1, генератор 2, согласованный фильтр 3, блок быстрого

преобразования Фурье 4, первый регистр 5, блок оценки задержки 6, первый блок комплексного сопряжения 7, первый блок умножения 8, второй регистр 9, первый блок вычисления аргумента комплексного числа 11, блок вычисления сдвига частоты 12, первое 13 и второе 16 оперативные запоминающие устройства, второй блок умножения 14, второй 5 блок комплексного сопряжения 17 и второй блок вычисления аргумента комплексного числа 18, при этом первый вход формирователя квадратурного сигнала 1 является входом устройства, второй вход формирователя квадратурного сигнала 1 соединен с выходом генератора 2, первый и второй выходы формирователя квадратурного сигнала 1, являющиеся соответственно синфазной и квадратурной составляющими входного сигнала, 10 соединены соответственно с первыми и вторыми входами согласованного фильтра 3 и блока быстрого преобразования Фурье 4 и являются соответственно первым синфазным и вторым квадратурным выходами устройства, первый и второй выходы согласованного фильтра 3 соединены соответственно с первыми и вторыми входами первого регистра 5, блока оценки задержки 6 и первого блока умножения 8, первый и второй выходы первого 15 регистра 5 соединены соответственно с первым и вторым входами блока комплексного сопряжения 7, первый и второй выходы которого соединены соответственно с третьим и четвертым входами первого блока умножения 8, первый и второй выходы которого соединены соответственно с первым и вторыми входами второго регистра 9, (К-1) выходов которого соединены с соответствующими им (К-1) входами первого блока вычисления аргумента комплексного числа 11, выход блока вычисления сдвига частоты 12 соединен со 20 входом генератора 2, первый вход блока вычисления сдвига частоты 12 и третий вход блока быстрого преобразования Фурье 4 объединены и соединены с выходом блока оценки задержки 6, выход которого является третьим выходом устройства, первый и второй выходы блока быстрого преобразования Фурье 4 соединены соответственно с первыми и 25 вторыми входами первого 13 и второго 16 оперативных запоминающих устройств, первый и второй выходы первого запоминающего устройства 13 соединены соответственно с первым и вторым входами второго блока умножения 14, первый и второй выходы второго запоминающего устройства 16 соединены соответственно с первым и вторым входами второго блока комплексного сопряжения 17, первый и второй выходы которого соединены 30 соответственно с третьим и четвертым входами второго блока умножения 14,

Согласно изобретению введены:

первый блок сравнения с порогом 19,

первый блок обнаружения аномальных значений 20,

35 первый блок вычисления среднего значения 21, формирующий на выходе средние значения оставшихся неаномальных значений разностей фаз комплексных величин корреляции,

первый 22 и второй 23 блоки вычисления модуля,

второй блок сравнения с порогом 24,

второй блок обнаружения аномальных значений 25,

40 второй блок вычисления среднего значения 26, формирующий на выходе средние значения оставшихся неаномальных значений разностей фаз спектральных составляющих.

При этом (К-1) дополнительных выходов блока оценки задержки 6 соединены с соответствующими им (К-1) входами первого блока сравнения с порогом 19, (К-1) выходов 45 которого соединены с соответствующими им (К-1) первыми входами первого блока обнаружения аномальных значений 20, (К-1) вторые входы которого соединены с соответствующими им (К-1) выходами первого блока вычисления аргумента комплексного числа 11, третий вход первого блока обнаружения аномальных значений 20 и первый вход второго блока обнаружения аномальных значений 25 объединены и соединены с выходом 50 блока оценки задержки 6, первый выход первого блока обнаружения аномальных значений 20 соединен с первым входом первого блока вычисления среднего значения 21, вторые (К-1) входов которого соединены с соответствующими им (К-1) вторыми выходами первого блока обнаружения аномальных значений 20, выход первого блока вычисления среднего

значения 21 соединен со вторым входом блока вычисления сдвига частоты 12, первый и второй выходы второго блока умножения 14 соединены соответственно с первым и вторым входами второго блока вычисления аргумента комплексного числа 18, выход которого соединен со вторым входом второго блока обнаружения аномальных значений 25, третий
5 вход второго блока обнаружения аномальных значений 25 соединен с выходом второго блока сравнения с порогом 24, первый и второй входы которого соединены соответственно с выходами первого 22 и второго 23 блоков вычисления модулей, первый и второй входы первого блока вычисления модуля 22 соединены соответственно с первым и вторым
10 выходами первого запоминающего устройства 13, первый и второй входы второго блока вычисления модуля 23 соединены соответственно с первым и вторым выходами второго запоминающего устройства 16, первый и второй выходы второго блока обнаружения аномальных значений 25 соединены соответственно с первым и вторым входами второго блока вычисления среднего значения 26, выход которого соединен с третьим входом блока вычисления сдвига частоты 12.

15 Блок оценки задержки 6 (фиг.5) содержит узел вычисления модуля 27, сдвиговый регистр 28, узел суммирования 29 и узел сравнения с порогом 30, при этом первый и второй входы узла вычисления модуля 27 являются соответственно первым и вторым входами блока оценки задержки 6, выход узла вычисления модуля 27 соединен со входом сдвигового регистра 28, (K-1) выходов которого являются дополнительными выходами
20 блока оценки задержки 6 и соединены с соответствующими им (K-1) входами узла суммирования 29, выход которого соединен со входом узла сравнения с порогом 30, выход которого является выходом блока оценки задержки 6.

Первый 11 и второй 18 блоки вычисления аргумента комплексного числа могут быть выполнены, например, как показано на фиг.6. Первый блок вычисления аргумента
25 комплексного числа 11 содержит (K-1) параллельных ветвей вычисления аргумента комплексного числа. Второй блок вычисления аргумента комплексного числа 18 содержит только одну ветвь вычисления аргумента комплексного числа. Каждая ветвь вычисления аргумента комплексного числа содержит первый 31 и второй 32 узлы возведения в квадрат, сумматор 33, узел извлечения квадратного корня 34, первый 35 и второй 36
30 узлы деления, первый 37 и второй 38 узлы вычитания, первый 39 и второй 40 узлы вычисления модуля, первый 41 и второй 42 узлы сравнения, логический элемент «И» 43, регистр 44 и постоянное запоминающее устройство 45, при этом объединенные вход первого 31 узла возведения в квадрат и первый вход первого узла деления 35 являются первым входом ветви вычисления аргумента комплексного числа, объединенные вход
35 второго узла возведения в квадрат 32 и первый вход второго узла деления 36 являются вторым входом ветви вычисления аргумента комплексного числа, выходы первого 31 и второго 32 узлов возведения в квадрат соединены соответственно с первым и вторым входами сумматора 33, выход которого соединен со входом узла извлечения квадратного корня 34, выход которого соединен со вторыми входами первого 35 и второго 36 узлов деления, выход первого узла деления 35 соединен с первым входом первого узла
40 вычитания 37, выход второго узла деления 36 соединен с первым входом второго узла вычитания 38, вторые входы первого 37 и второго 38 узлов вычитания соединены соответственно с первым и вторым выходами постоянного запоминающего устройства 45, выход первого узла вычитания 37 соединен со входом первого узла вычисления модуля 39,
45 выход которого соединен со входом первого узла сравнения 41, выход которого соединен с первым входом логического элемента «И» 43, выход второго узла вычитания 38 соединен со входом второго узла вычисления модуля 40, выход которого соединен со входом второго узла сравнения 42, выход которого соединен со вторым входом логического элемента «И», выход которого соединен с первым входом регистра 44, второй вход
50 которого соединен с третьим выходом постоянного запоминающего устройства 45, выход регистра 44 является выходом ветви вычисления аргумента комплексного числа.

Первый блок вычисления аргумента комплексного числа 11, содержащий (K-1) ветвей вычисления аргумента комплексного числа, формирует соответственно (K-1) выходов.

Первый блок обнаружения аномальных значений 20 (фиг.7) содержит (2К-2) узлов сравнения с порогом $46_1-46_{(2К-2)}$, (3К-3) узлов «И» $47_1-47_{(3К-3)}$, первый 48, второй 49, третий 51, и четвертый 52 узлы суммирования, узел деления 50 и узел вычитания 53, при этом первые входы (2К-2) узлов «И» $47_1-47_{(2К-2)}$ и (К-1) входов первого узла суммирования 48 являются (К-1) первыми входами блока 20, первые входы (2К-2) узлов сравнения с порогом $46_1-46_{(2К-2)}$ и вторые входы (2К-1) узлов «И» $47_1-47_{(К-1)}$ и $47_{(2К-1)}-47_{(3К-3)}$ являются соответственно (К-1) вторыми входами первого блока обнаружения аномальных значений 20, вторые входы (К-1) узлов «И» $47_К-47_{(2К-2)}$ объединены, образуя третий вход блока 20, выходы узлов «И» $47_1-47_{(К-1)}$ соединены с соответствующими им входами второго сумматора 49, выход которого соединен с первым входом узла деления 50, второй вход которого соединен с выходом первого узла суммирования 48, выход узла деления 50 соединен со входами третьего узла суммирования 51 и узла вычитания 53, выход которого соединен со вторыми входами узлов сравнения с порогом $46_К-46_{2К-2}$, выходы узлов сравнения с порогом $46_К-46_{(2К-2)}$ соединены с третьими входами соответствующих им узлов «И» $47_К-47_{(2К-2)}$, выходы узлов сравнения с порогом $46_1-46_{(К-1)}$, соединены с четвертыми входами соответствующих им узлов «И» $47_К-47_{(2К-2)}$, вторые входы узлов сравнения с порогом $46_1-46_{(К-1)}$ объединены и соединены с выходом третьего узла суммирования 51, выходы узлов «И» $47_К-47_{(2К-2)}$ соединены с соответствующими им входами четвертого узла суммирования 52 и первыми входами узлов «И» $47_{(2К-1)}-47_{(3К-3)}$, выход четвертого узла суммирования 52 является первым выходом блока 20, выходы узлов «И» $47_{(2К-1)}-47_{(3К-3)}$ являются вторыми (К-1) выходами первого блока обнаружения аномальных значений 20.

Второй блок обнаружения аномальных значений 25 (фиг.8) содержит накопитель 54, первый 55, второй 56 и третий 57 счетчики, оперативное запоминающее устройство (ОЗУ) 58, первый 59 и второй 60 логические элементы «И», узел сравнения с первым порогом 61, узел деления 62, узел суммирования 63, узел сравнения со вторым порогом 64 и узел вычитания 65, при этом первые входы накопителя 54, второго счетчика 56 и вход первого счетчика 55 объединены, образуя первый вход блока 25, второй вход накопителя 54 и первый вход ОЗУ 58 объединены, образуя второй вход блока 25, третий вход накопителя 54, второй вход ОЗУ 58 и второй вход второго счетчика 56 объединены, образуя третий вход блока 25, выход первого счетчика 55 соединен с третьим входом ОЗУ 58, выход которого соединен с первыми входами первого логического элемента «И» 59, узла сравнения с первым порогом 61 и узла сравнения со вторым порогом 64, выход второго счетчика 56 соединен со вторым входом узла деления 62, первый вход которого соединен с выходом накопителя 54, выход узла деления 62 соединен со входами узла суммирования 63 и узла вычитания 65, выход узла вычитания 65 соединен со вторым входом узла сравнения со вторым порогом 64, выход которого соединен со вторым входом первого логического элемента «И» и первым входом второго логического элемента «И» 60, второй вход второго логического элемента «И» 60 и третий вход первого логического элемента «И» 59 объединены и соединены с выходом узла сравнения с первым порогом 61, второй вход которого соединен с выходом узла суммирования 63, выход первого логического элемента «И» является первым выходом блока 25, выход второго логического элемента «И» соединен со входом третьего счетчика 57, выход которого является вторым выходом второго блока обнаружения аномальных значений 25.

Блок вычисления сдвига частоты 12 (фиг.9) содержит первый 66, второй 67 регистры, счетчик 68, первый 69 и второй 70 узлы умножения и логический элемент «ИЛИ» 71, при этом вход счетчика 68 и первый вход первого регистра 66 объединены, образуя первый вход блока 12, второй вход первого регистра 66 является вторым входом блока 12, первый вход второго регистра 67 является третьим входом блока 12, выход счетчика 68 соединен с третьим входом первого регистра 66 и вторым входом второго регистра 67, выход первого регистра 66 соединен со входом первого узла умножения 69, выход второго регистра соединен со входом второго узла умножения 70, выходы первого 69 и второго 70 узлов умножения соединены соответственно с первым и вторым входами логического элемента «ИЛИ» 71, выход которого является выходом блока вычисления сдвига частоты

12.

Реализуют заявляемый способ синхронизации сигналов следующим образом.

Выполняют оценку временной задержки принимаемых коротких пилот сигналов.

Одновременно с оценкой временной задержки коротких пилот сигналов вычисляют
5 комплексную величину корреляции принимаемого короткого пилот сигнала.

Вычисляют и запоминают модули K , где K - число коротких пилот сигналов, комплексных величин корреляции, определенных подряд с интервалом, равным длительности одного короткого пилот сигнала.

Одновременно с вычислением модулей умножают комплексную величину корреляции
10 принимаемого короткого пилот сигнала на комплексно-сопряженную величину корреляции принимаемого короткого пилот сигнала, задержанную на длительность одного короткого пилот сигнала.

Вычисляют аргументы полученных $(K-1)$ произведений комплексной величины корреляции принимаемого короткого пилот сигнала на комплексно-сопряженную величину
15 корреляции принимаемого короткого пилот сигнала, определенных подряд с интервалом, равным длительности одного короткого пилот сигнала. Вычисленные аргументы представляют собой разности фаз K комплексных величин корреляции.

Выполняют обнаружение аномальных значений вычисленных разностей фаз $(K-1)$ комплексных величин корреляции, модули которых превысили первый заданный порог,
20 после выполнения оценки временной задержки.

Вычисляют среднее значение оставшихся неаномальных значений разностей фаз комплексных величин корреляции.

По вычисленному среднему значению разности фаз комплексных величин корреляции вычисляют начальную оценку сдвига частоты.

Выполняют начальную частотную коррекцию принимаемого сигнала, используя
25 вычисленную начальную оценку сдвига частоты.

Выполняют быстрое преобразование Фурье (БПФ) принятых первого и второго длинных пилот сигналов.

Вычисляют модули спектральных составляющих спектров первого и второго длинных
30 пилот сигналов.

Одновременно с вычислением модулей выполняют умножение спектральных составляющих первого длинного пилот сигнала на комплексно-сопряженные спектральные составляющие с равными частотами спектров второго длинного пилот сигнала.

Вычисляют аргументы полученных комплексных произведений, являющихся разностями
35 фаз спектральных составляющих с равными частотами спектров первого и второго длинных пилот сигналов.

Сравнивают модули спектральных составляющих первого и второго длинных пилот сигналов с заданным вторым порогом.

Выполняют обнаружение аномальных значений вычисленных разностей фаз
40 спектральных составляющих, модули которых превысили второй заданный порог.

Вычисляют среднее значение оставшихся неаномальных значений разностей фаз спектральных составляющих.

По полученному среднему значению вычисляют уточненную оценку сдвига частоты.

Выполняют уточненную частотную коррекцию принимаемого сигнала, используя
45 вычисленную уточненную оценку сдвига частоты.

Рассмотрим подробнее осуществление заявляемого способа на устройстве, структурная схема которого выполнена на фиг.4.

Входной сигнал поступает на первый вход формирователя квадратурного сигнала 1,
50 который преобразует сигнал на две квадратурные составляющие: синфазную и квадратурную.

Квадратурные составляющие сигнала поступают соответственно на первый и второй входы согласованного фильтра 3 (согласованного с коротким пилот сигналом), первый и второй входы блока БПФ 4 и на первый и второй выходы устройства. Выходными

сигналами согласованного фильтра 3 является комплексная величина корреляции принимаемого короткого пилот сигнала.

Выходные сигналы согласованного фильтра 3 с первого и второго выходов поступают на первый и второй входы блока оценки задержки 6. С выхода блока оценки задержки 6 сигнал определения задержки, который определяет момент окончания K коротких пилот сигналов, поступает на третий вход первого блока обнаружения аномальных значений 20, третий вход блока БПФ 4, первый вход второго блока обнаружения аномальных значений, первый вход блока вычисления сдвига частоты 12 и на третий выход устройства.

С дополнительных $(K-1)$ выходов блока оценки задержки 6 модули $(K-1)$ комплексных величин корреляции, определенных подряд с интервалом, равным длительности одного короткого пилот сигнала, поступают на $(K-1)$ входов первого блока сравнения с порогом 19. В этом блоке выполняют сравнение каждого из $(K-1)$ сигналов с первым заданным порогом.

Первый блок сравнения с порогом 19 можно реализовать в виде K параллельных узлов сравнения с первым заданным порогом.

С $(K-1)$ выходов первого блока сравнения с порогом 19 на $(K-1)$ первые входы первого блока обнаружения аномальных значений 20 поступают $(K-1)$ сигналов превышения первого порога.

Выходные сигналы согласованного фильтра 3 с первого и второго выходов поступают соответственно на первый и второй входы первого регистра 5, задерживающего их на длительность короткого пилот сигнала.

Первый блок комплексного сопряжения 7 выполняет комплексное сопряжение выходных сигналов первого регистра 5, поступивших соответственно на первый и второй входы блока 7. Выходные сигналы первого блока комплексного сопряжения 7 с первого и второго выходов поступают соответственно на третий и четвертый входы первого блока умножения 8. На первый и второй входы первого блока, умножения 8 поступают выходные сигналы согласованного фильтра 3 соответственно с первого и второго выходов.

Таким образом, в момент окончания короткого пилот сигнала, когда модуль сигнала на выходе согласованного фильтра 3 принимает максимальное значение, на выходы первого блока умножения 8 поступает комплексный сигнал, аргумент которого равен разности фаз двух коротких пилот сигналов.

С первого и второго выходов первого блока умножения 8 выходной комплексный сигнал поступает на первые и вторые входы второго сдвигового регистра 9, осуществляющего его задержку на K длительностей короткого пилот сигнала. Отводы второго регистра 9 выполнены с интервалом, равным длительности одного короткого пилот сигнала. С $(K-1)$ отводов (выходов) сигналы поступают на входы первого блока вычисления аргумента комплексного числа 11, который вычисляет аргументы комплексных чисел.

Первый блок вычисления аргумента комплексного числа 11 вычисляет аргументы комплексных чисел, поступивших параллельно на его входы.

Следовательно, в момент окончания K -го короткого пилот сигнала, с $(K-1)$ выходов первого блока вычисления аргумента комплексного числа 11 на вторые $(K-1)$ входы первого блока обнаружения аномальных значений 20 поступают $(K-1)$ разностей фаз следующих друг за другом коротких пилот сигналов.

Первый блок обнаружения аномальных значений 20 выполняет обнаружение аномальных значений вычисленных $(K-1)$ разностей фаз следующих друг за другом K коротких пилот сигналов, модули которых превысили первый заданный порог. Со вторых $(K-1)$ выходов первого блока обнаружения аномальных значений 20 на вторые $(K-1)$ входы первого блока вычисления среднего значения 21 поступают оставшиеся неаномальные значения разностей фаз, а на первый вход - количество этих разностей фаз с первого выхода блока 20.

Первый блок вычисления среднего значения 21 вычисляет среднее значение оставшихся неаномальных значений разностей фаз, следующих друг за другом K коротких пилот символов, которые с выхода блока 21 поступают на второй вход блока вычисления

сдвига частоты 12.

Первый блок вычисления среднего значения 21 можно реализовать, например, в виде двух узлов: накопителя оставшихся неаномальных значений разностей фаз комплексных величин корреляции и последовательно подключенному к нему делителя на количество оставшихся неаномальных значений разностей фаз.

Блок вычисления сдвига частоты 12 по среднему значению разности фаз коротких пилот символов вычисляет начальную оценку сдвига частоты. Затем начальная оценка сдвига частоты с выхода блока 12 поступает на вход генератора 2, который по этой оценке выполняет начальную частотную коррекцию принимаемого сигнала.

Блок БПФ 4 выполняет вычисление спектров длинных пилот сигналов, которые задержаны по времени относительно коротких пилот сигналов на заранее известную величину, как правило, равную длительности защитного интервала. Полученные спектры с первого и второго выходов блока 4 поступают соответственно на первые и вторые входы первого 13 и второго 16 ОЗУ и записываются соответственно в них. Затем одновременно считываются из первого ОЗУ 13 и второго ОЗУ 16. Из первого ОЗУ 13 комплексные значения спектра первого длинного пилот сигнала непосредственно поступают на первый и второй входы второго блока умножения 14. Из второго ОЗУ 16 через второй блок комплексного сопряжения 17 на третий и четвертый входы блока 14 поступают комплексные значения спектра второго длинного пилот символа. Таким образом, на первом и втором выходах второй блок умножения 14 формирует комплексный сигнал, аргумент которого равен разности фаз двух спектральных составляющих с равными частотами первого и второго длинных пилот символов. Выходные комплексные значения с первого и второго выходов второго блока умножения 14 поступают на первый и второй входы второго блока вычисления аргумента комплексного числа 18, который вычисляет аргумент комплексного числа, поступившего на его вход.

С блока 18 на второй вход второго блока обнаружения аномальных значений 25 поступает последовательность разностей фаз спектральных составляющих с равными частотами первого и второго длинных пилот символов.

С первого и второго выходов первого ОЗУ 13 комплексные значения спектра первого длинного пилот сигнала также поступают на первый и второй входы первого блока вычисления модуля 22. Модули спектра первого длинного пилот сигнала с выхода блока 22 поступают на первый вход второго блока сравнения с порогом 24, где сравниваются со вторым заданным порогом.

С первого и второго выходов второго ОЗУ 16 комплексные значения спектра второго длинного пилот сигнала поступают соответственно на первый и второй входы второго блока вычисления модуля 23. Модули спектра второго длинного пилот сигнала с выхода блока 23 поступают на второй вход второго блока сравнения с порогом 24, где сравниваются со вторым заданным порогом.

Второй блок сравнения с порогом 24 можно выполнить, например, в виде двух узлов сравнения со вторым порогом. Выходные сигналы узлов сравнения поступают на узел, выполняющий логическую операцию "И". Выходной сигнал этого узла поступает на выход блока 24.

Если второй заданный порог превышен одновременно двумя входными модулями, то со второго блока сравнения с порогом 24 на третий вход второго блока обнаружения аномальных значений 25 поступает сигнал с уровнем логической "единицы". В противном случае с выхода этого блока поступает логический "ноль".

Второй блок обнаружения аномальных значений 25 выполняет обнаружение аномальных значений вычисленных разностей фаз спектральных составляющих с равными частотами первого и второго длинных пилот символов, модули которых превысили второй заданный порог. С первого и второго выходов блока 25 соответственно на первый и второй входы второго блока вычисления среднего значения 26 поступают оставшиеся неаномальные значения разностей фаз и число этих разностей фаз.

Блок 26 вычисляет среднее значение оставшихся неаномальных значений разностей

фаз спектральных составляющих с равными частотами первого и второго длинных пилот символов.

Второй блок вычисления среднего значения 26 можно реализовать, например, в виде двух узлов: накопителя оставшихся не аномальных значений разностей фаз спектральных составляющих с равными частотами первого и второго длинных пилот символов и последовательно к нему подключенному делителя на количество оставшихся неаномальных значений разностей фаз.

На третий вход блока вычисления сдвига частоты 12 с выхода блока 26 поступает среднее значение разности фаз спектральных составляющих первого и второго длинных пилот символов. Блок вычисления сдвига частоты 12 по среднему значению разности фаз спектральных составляющих первого и второго длинных пилот символов вычисляет уточненную оценку сдвига частоты. Затем уточненная оценка сдвига, частоты с выхода блока 12 поступает на вход генератора 2, который по этой оценке выполняет уточненную частотную коррекцию принимаемого сигнала.

Для лучшего понимания работы заявляемого способа синхронизации сигналов и устройства для его осуществления ниже приведены примеры выполнения отдельных блоков для предлагаемого устройства.

Например, формирователь квадратурного сигнала 1 может быть выполнен, как описано в книге "Цифровые фильтры и устройства обработки сигналов на интегральных микросхемах" под ред. Б.Ф.Высоцкого, М., "Радио и связь", 1984, стр.22.

Примеры выполнения блока БПФ 4 приведены в книге "Цифровые фильтры и устройства обработки сигналов на интегральных микросхемах" Под ред. Б.Ф.Высоцкого, М., "Радио и связь", 1984, стр.103 и в патенте Российской Федерации №2012051 "Устройство для быстрого преобразования Фурье", МПК⁵ G 06 F 15/352 (дата публикации -1994.04.30).

Блок БПФ 4 также может быть реализован на базе микропроцессора для быстрого преобразования Фурье 1815ВФ3.

Блок оценки задержки 6 можно выполнить, например, в соответствии со структурной схемой, приведенной на фиг.5. Функциональное отличие блока оценки задержки 6 в предлагаемом устройстве (фиг.4) от прототипа (фиг.2) заключается в том, что он на выходе формирует (K-1) дополнительных сигналов - модули (K-1) комплексных величин корреляции, определенных подряд с интервалом, равным длительности одного короткого пилот сигнала, которые поступают на (K-1) входов первого блока сравнения с порогом 19. А общим признаком является формирование на выходе сигнала определения задержки.

Блок оценки задержки 6 (фиг.5) работает следующим образом. С первого и второго входов блока 6 соответственно на первый и второй входы узла вычисления модуля 27 поступают выходные сигналы, согласованного фильтра 3. Узел вычисления модуля 27 можно реализовать в виде двух элементов возведения в квадрат мнимых и действительных частей значений поступающего сигнала, сумматора и элемента извлечения квадратного корня.

Модуль входного сигнала поступает на вход сдвигового регистра 28, осуществляющего задержку модуля сигнала на K длительностей короткого пилот сигнала. Отводы регистра 28 выполнены с интервалом, равным длительности одного короткого пилот сигнала. С K отводов сигналы поступают на (K-1) дополнительных выходов блока 6 и на соответствующие им входы узла суммирования 29. На практике суммирование K чисел выполняют с помощью "дерева" сумматоров: K/2 сумматоров попарно суммируют K значений сигнала. Затем с помощью K/4 сумматоров попарно суммируют K/2 полученных суммы и так далее. Выходной сигнал узла суммирования 29 поступает на узел сравнения с заданным порогом 30. Момент превышение порога определяет временную задержку коротких пилот сигналов (момент окончания K-го пилот сигнала). Сигнал определения задержки поступает на выход блока 6.

Первый 11 и второй 18 блоки вычисления угла аргумента комплексного числа можно выполнить в соответствии со структурной схемой, приведенной на фиг.6. Различие заключается в том, что первый блок вычисления аргумента комплексного числа 11

содержит (К-1) параллельных ветвей вычисления аргумента комплексного числа, второй блок вычисления аргумента комплексного числа 18 содержит только одну ветвь вычисления аргумента комплексного числа.

На вход блока вычисления аргумента комплексного числа поступает комплексное число.

5 Блок 11 или 18 определяют аргумент этого комплексного числа.

Рассмотрим подробнее принцип работы этого блока на примере одной ветви вычисления аргумента комплексного числа. В постоянное запоминающее устройство (ПЗУ) 45 записываются нормированные (модуль равен единице) комплексные числа, соответствующие значениям аргументов, перекрывающих с некоторым шагом всю область
10 возможных значений аргумента, а также значения этих аргументов. Из входного нормированного комплексного числа вычитают записанные в ПЗУ 45 числа, и модули действительной и мнимой частей разностей сравниваются с порогами. Если оба порога не превышены, то принимается решение, что аргумент входного комплексного числа равен аргументу считываемого из ПЗУ 45 комплексного числа.

15 Входной сигнал с первого входа блока вычисления аргумента комплексного числа поступает на первые входы первого узла возведения в квадрат 31 и первый узел деления 35. Входной сигнал со второго входа блока вычисления аргумента комплексного числа поступает на первые входы второго узла возведения в квадрат 32 и второго узла деления 36. С помощью первого 31 и второго 32 узлов возведения в квадрат, сумматора 33 и узла
20 извлечения квадратного корня 34 вычисляют модуль входного комплексного числа. Затем нормируют входное комплексное число: делят действительную и мнимую части этого числа на его модуль. После деления модуль полученного комплексного числа равен единице. В первом 37 и втором 38 узлах вычитания из действительной и мнимой частей входного нормированного комплексного числа вычитают действительную и мнимую части
25 считываемого из ПЗУ 45 комплексного числа. Модули действительной и мнимой частей разностей, вычисленные соответственно первым 39 и вторым 40 узлами вычисления модуля, сравниваются с заданными порогами первым 41 и вторым 42 узлами сравнения. Если пороги не превышены, то на выход этих узлов 41 и 42 поступают логические "единицы", которые после объединения в узле 43, выполняющего логическую операцию
30 "И", поступают на управляющий (первый) вход параллельного регистра 44. По этому сигналу в регистр 44 записывается аргумент считываемого из ПЗУ 45 комплексного числа (поступающего на второй вход), который затем поступает на выход регистра 44 и соответственно на выход блока вычисления аргумента комплексного числа.

35 Структурная схема первого блока обнаружения аномальных значений 20 приведена на фиг.7.

На (К-1) первых входов первого блока обнаружения аномальных значений 20 параллельно поступают (К-1) разностей фаз следующих друг за другом К коротких пилот символов. В блоке 20 эти разности фаз параллельно поступают на (К-1) узлов
40 сравнения с первым порогом $46_1-46_{(К-1)}$, на (К-1) узлов сравнения со вторым порогом $46_К-46_{(2К-2)}$ и на вторые входы (К-1) узлов, выполняющих операцию "И" $47_{(47_1-47_{(К-1)})}$.

Узлы, выполняющие операцию "И" $47_1-47_{(3К-3)}$ состоят из трех групп: $47_1-47_{(К-1)}$, $47_К-47_{(2К-2)}$ и $47_{(2К-2)}-47_{(3К-3)}$.

45 Если на входы любого узла из этих трех групп поступает сигнал с нулевым уровнем, то на его выход также поступает сигнал с нулевым уровнем. Если на вход любого узла первой группы $47_1-47_{(К-1)}$ поступает соответствующий сигнал превышения первого порога и соответствующая ненулевая разность фаз, то на его выход поступает входная разность фаз. Если на все входы любого узла второй группы $47_К-47_{(2К-2)}$ поступают сигналы с
единичным уровнем, то и на его выход поступает сигнал с единичным уровнем. Если на входы любого узла третьей группы $47_{(2К-2)}-47_{(3К-3)}$ поступает с соответствующего узла
50 второй группы $47_К-47_{(2К-2)}$ сигнал с единичным уровнем и ненулевая разность фаз, то на его выход поступает входная разность фаз.

На (К-1) вторых входов первого блока обнаружения аномальных значений 20 и далее на первые входы соответствующих узлов, выполняющих операцию "И" $47_1-47_{(К-1)}$ параллельно

поступают (К-1) сигналов превышения первого заданного порога модулями выходных значений сигнала согласованного фильтра 3, которые использовались для вычисления разностей фаз следующих друг за другом коротких пилот символов.

Если первый порог не превышен, то с узла сравнения с первым порогом на четвертый вход соответствующего узла, выполняющего операцию "И" $47_{К-47(2К-2)}$ поступает сигнал с единичным уровнем. В противном случае - сигнал с нулевым уровнем. Если второй порог превышен, то с узла сравнения со вторым порогом на третий вход соответствующего узла, выполняющего операцию "И" $47_{К-47(2К-2)}$ поступает сигнал с единичным уровнем. В противном случае - сигнал с нулевым уровнем.

На вторые входы узлов "И" $47_{К-47(2К-2)}$ со входа блока 20 поступает сигнал определения задержки. С выходов этих узлов, выполняющих операцию "И" $47_{К-47(2К-2)}$, сигналы поступают на соответствующие первые входы следующих (К-1) узлов, выполняющих операцию "И" $47_{2К-1-47(3К-3)}$. На вторые входы этих узлов, выполняющих операцию "И" $47_{2К-1-47(3К-3)}$ поступают (К-1) значений разностей фаз. Таким образом, с выходов этих узлов, выполняющих операцию "И" $47_{2К-1-47(3К-3)}$, на вторые (К-1) выходы блока 20 поступают неаномальные разности фаз следующих друг за другом коротких пилот символов, то есть такие разности фаз следующих друг за другом коротких пилот символов, которые не превысили первый порог, не превысили второй порог и соответствующие им модули не превысили первый заданный порог в момент прихода сигнала определения задержки.

С (К-1) выходов узлов, выполняющих логическую операцию "И" $47_{К-47(2К-2)}$ сигналы поступают на входы четвертого узла суммирования 52. С выхода узла 52 на первый выход блока 20 поступает число неаномальных значений разностей фаз.

Формирование первого порога можно выполнить следующим образом. Во втором узле суммирования 49 суммируют разности фаз, у которых соответствующие им модули превысили первый порог. Выполнение суммирования указанных разностей фаз обеспечивается (К-1) узлами 47, выполняющими операцию "И" $47_{1-47(К-1)}$.

Затем полученная сумма делится в узле деления 50 на число модулей, превысивших порог, полученное в первом узле суммирования 48. Таким образом, получают среднее значение разности фаз.

В третьем узле суммирования 51 среднее значение разности фаз суммируется с первым заданным значением фазы.

Формирование второго порога можно выполнить, например, путем вычитания из среднего значения разности фаз второго заданного значения фазы.

Структурная схема второго блока обнаружения аномальных значений 25 приведена фиг.8.

Разности фаз спектральных составляющих с равными частотами спектров первого и второго длинных пилот сигналов, поступающие на второй вход блока 25, по признаку превышения второго порога, поступающего на третий вход блока 20. записываются в ОЗУ 58. Считывание из ОЗУ 58 выполняют после сигнала определения задержки через интервал времени, равный сумме длительности защитного интервала, длительности двух длинных пилот символов и длительности выполнения БПФ. Этот интервал времени определяют первым счетчиком 55. Считываемые из ОЗУ 58 разности фаз спектральных составляющих, модули которых превысили второй порог, поступают на первый вход первого логического элемента «И» 59 и одновременно на узлы сравнения с первым 61 и вторым 64 порогами.

Если первый порог не превышен, то с узла сравнения с первым порогом 61 на третий вход первого логического элемента «И» 59 поступает сигнал "логической" единицы. При превышении второго порога с узла сравнения со вторым порогом 64 на второй вход первого логического элемента «И» 59 также поступает сигнал "логической" единицы. При этом разность фаз через первый логический элемент «И» 59 поступает на первый выход блока 25. В противном случае на первый выход блока 25 поступает ноль. Таким образом, путем сравнения с двумя порогами обнаруживают аномальные значения разности фаз.

Если аномальное значение разности фаз не обнаружено, число, записанное в третьем счетчике 57, увеличивается на единицу и поступает на второй выход блока 25.

Для формирования первого и второго порогов в накопителе 54 накапливают значения разностей фаз спектральных составляющих, модули которых превысили второй порог.

5 Далее накопленную величину делят в узле деления 62 на число этих разностей фаз спектральных составляющих. Полученное число поступает с выхода второго счетчика 56 на второй вход узла деления 62. Таким образом, получают среднее значение разности фаз. Выходной сигнал узла деления 62 поступает на вход узла суммирования 63. В узле суммирования 63 среднее значение разности фаз суммируется с заданным значением
10 фазы и поступает на узел сравнения с первым порогом 61. В узле вычитания 65 из среднего значения разности фаз вычитается заданное значение фазы и разность поступает на второй вход узла сравнения со вторым порогом 64.

Блок вычисления сдвига частоты 12 можно выполнить в соответствии со структурной схемой, приведенной на фиг.9. Сдвиг частоты определяют по формуле $Fof = \Delta\phi / 2\pi T_s$, где
15 Fof - сдвиг частоты, $\Delta\phi$ - разность фаз, T_s - длительность пилот сигнала. Эта формула применима как для определения начальной, так и для определения уточненной оценки сдвига частоты. В первом случае $\Delta\phi$ равна оценке разности фаз коротких пилот сигналов, а T_s длительности короткого пилот сигнала, во втором случае $\Delta\phi$ равна оценке разности
20 фаз спектральных составляющих первого и второго длинных пилот сигналов, а T_s - длительности длинного пилот сигнала.

Разности фаз коротких пилот сигналов (разность фаз комплексных величин корреляции) записывается в первый регистр 66 по сигналу определения задержки, который поступает на первый вход. Разность фаз спектральных составляющих записывается во второй
25 регистр 67, поступившая на первый вход, по сигналу, задержанному во времени относительно сигнала определения задержки на временной интервал, равный сумме длительностей защитного интервала между последним коротким пилот сигналом и первым
30 длинным пилот сигналом, длительности двух длинных пилот сигналов и времени, необходимом для выполнения БПФ (сигнал поступает на второй вход). Такой временной интервал формируется счетчиком 68. Выходной сигнал счетчика 68, поступивший на третий
35 вход первого регистра 66, устанавливает в нулевое состояние первый регистр 66.

Выходные сигналы первого 66 и второго 67 регистров, поступившие соответственно на входы первого 69 и второго 70 узлов умножения, умножаются в узлах умножения 69 и 70 соответственно на $1/2\pi T_1$ и $1/2\pi T_2$, где T_1 и T_2 - соответственно длительности короткого и
40 длинного пилот сигналов.

35 На выход блока 12 сигналы сдвига частоты поступают через узел 71, выполняющий операцию "ИЛИ".

Таким образом, заявляемые способ синхронизации сигналов и устройство для его осуществления повышают точность оценки частоты при низких отношениях сигнал/шум и частотно-селективном фединге, что достигается за счет уменьшения аномальных ошибок,
40 которые обнаруживают и исключают при формировании оценки сдвига частоты.

Устройство для осуществления способа доступно в реализации, для его осуществления можно использовать известные в радиотехнике блоки, узлы и элементы, отвечает современным критериям, предъявляемым к уровню техники, может быть использовано в
45 приемниках локальных беспроводных сетей на базе стандарта 802.11 и системах широкополосного доступа к Интернету на базе стандарта 802.16, а также в других беспроводных системах связи, использующих OFDM сигналы.

Формула изобретения

50 1. Способ синхронизации сигнала, при котором для синхронизации сигнала используют предшествующую информационному сигналу преамбулу, состоящую из K коротких и двух длинных пилот сигналов, заключающийся в том, что выполняют оценку временной задержки принимаемых коротких пилот сигналов одновременно с оценкой временной задержки коротких пилот сигналов, вычисляют комплексную величину корреляции

принимаемого короткого пилот сигнала, умножают комплексную величину корреляции принимаемого короткого пилот сигнала на комплексно-сопряженную величину корреляции короткого пилот сигнала, задержанную на длительность одного короткого пилот сигнала, вычисляют аргумент полученного значения, вычисляют начальную оценку сдвига частоты, 5 выполняют начальную частотную коррекцию принимаемого сигнала, используя вычисленную начальную оценку сдвига частоты, выполняют быстрое преобразование Фурье принятых первого и второго длинных пилот сигналов, выполняют умножение спектральных составляющих первого длинного пилот сигнала на комплексно-сопряженные спектральные составляющие с равными частотами спектров второго длинного пилот 10 сигнала, вычисляют аргументы полученных комплексных произведений, вычисляют уточненную оценку сдвига частоты, выполняют уточненную частотную коррекцию принимаемого сигнала, используя вычисленную уточненную оценку сдвига частоты, отличающийся тем, что вычисляют и запоминают K модулей комплексных величин корреляции, определенных подряд с интервалом, равным длительности одного короткого 15 пилот сигнала, где K - число коротких пилот сигналов, умножение комплексной величины корреляции выполняют одновременно с вычислением модулей, вычисляют аргументы ($K-1$) полученных произведений принимаемого сигнала и короткого пилот сигнала на комплексно-сопряженную величину корреляции короткого пилот сигнала, определенных подряд с интервалом, равным длительности одного короткого пилот сигнала, вычисленные 20 аргументы представляют собой разности фаз K комплексных величин корреляции, выполняют обнаружение аномальных значений ($K-1$) вычисленных разностей фаз комплексных величин корреляции, модули которых превысили первый заданный порог, после выполнения оценки временной задержки, вычисляют среднее значение оставшихся не аномальных значений разностей фаз комплексных величин корреляции, начальную 25 оценку сдвига частоты вычисляют по среднему значению разности фаз комплексных величин корреляции, вычисляют модули спектральных составляющих спектров первого и второго длинных пилот сигналов, умножение спектральных составляющих выполняют одновременно с вычислением модулей, вычисляют аргументы полученных комплексных произведений, являющихся разностями фаз спектральных составляющих с равными 30 частотами спектров первого и второго длинных пилот сигналов, сравнивают модули спектральных составляющих первого и второго длинных пилот сигналов с заданным вторым порогом, выполняют обнаружение аномальных значений вычисленных разностей фаз спектральных составляющих, модули которых превысили второй заданный порог, вычисляют среднее значение оставшихся неаномальных значений разностей фаз 35 спектральных составляющих, уточненную оценку сдвига частоты вычисляют по полученному среднему значению.

2. Способ по п.1, отличающийся тем, что оценку временной задержки принимаемых коротких пилот сигналов выполняют путем вычисления величины корреляции принимаемого короткого пилот сигнала, вычисления суммы K , определенных подряд, с 40 интервалом, равным длительности одного короткого пилот сигнала значений модулей полученных величин взаимной корреляции, и сравнения каждой полученной суммы с заданным порогом, при этом, если порог превышен, то считают, что временная задержка полученной суммы определяет временную задержку коротких пилот сигналов.

3. Способ по п.1, отличающийся тем, что обнаружение аномальных значений 45 вычисленных разностей фаз комплексных величин корреляции выполняют путем вычисления среднего значения разностей фаз комплексных величин корреляции, формирования первого порога путем сложения полученного среднего значения разности фаз комплексных величин корреляции с первым заданным значением фазы, формирования второго порога путем вычитания из полученного среднего значения 50 разности фаз комплексных величин корреляции второго заданного значением фазы и сравнения каждой полученной разности фаз комплексных величин корреляции с двумя порогами, при этом, если разность фаз больше первого порога или меньше второго порога, то принимают решение об обнаружении аномального значения разности фаз

комплексных величин корреляции.

4. Способ по п.1, отличающийся тем, что обнаружение аномальных значений вычисленных разностей фаз спектральных составляющих выполняют путем вычисления среднего значения разностей фаз спектральных составляющих, формирования первого порога путем сложения полученного среднего значения разностей фаз спектральных составляющих с первым заданным значением фазы, формирования второго порога путем вычитания из полученного среднего значения разности фаз спектральных составляющих второго заданного значением фазы сравнения каждой полученной разности фаз спектральных составляющих с двумя порогами, при этом, если разность фаз больше первого порога или меньше второго порога, то принимают решение об обнаружении аномального значения разности фаз спектральных составляющих.

5. Способ по п.1, отличающийся тем, что сдвиг частоты определяют по формуле $F_{of} = \Delta\varphi / 2\pi T_s$, где F_{of} - сдвиг частоты, $\Delta\varphi$ - разность фаз, T_s - длительность пилот сигнала.

6. Устройство синхронизации сигнала, содержащее формирователь квадратурного сигнала, генератор, согласованный фильтр, блок быстрого преобразования Фурье, первый регистр, блок оценки задержки, первый блок комплексного сопряжения, первый блок умножения, второй регистр, первый блок вычисления аргумента комплексного числа, блок вычисления сдвига частоты, первое и второе оперативные запоминающие устройства, второй блок умножения, второй блок комплексного сопряжения и второй блок вычисления аргумента комплексного числа, при этом первый вход формирователя квадратурного сигнала является входом устройства, второй вход формирователя квадратурного сигнала соединен с выходом генератора, первый и второй выходы формирователя квадратурного сигнала, являющиеся соответственно синфазной и квадратурной составляющими входного сигнала, соединены соответственно с первыми и вторыми входами согласованного фильтра и блока быстрого преобразования Фурье и являются соответственно первым синфазным и вторым квадратурным выходами устройства, первый и второй выходы согласованного фильтра соединены соответственно с первыми и вторыми входами первого регистра, блока оценки задержки и первого блока умножения, первый и второй выходы первого регистра соединены соответственно с первым и вторым входами блока комплексного сопряжения, первый и второй выходы которого соединены соответственно с третьим и четвертым входами первого блока умножения, первый и второй выходы которого соединены соответственно с первым и вторыми входами второго регистра, (K-1) выходов которого соединены с соответствующими им (K-1) входами первого блока вычисления аргумента комплексного числа, выход блока вычисления сдвига частоты соединен со входом генератора, первый вход блока вычисления сдвига частоты и третий вход блока быстрого преобразования Фурье объединены и соединены с выходом блока оценки задержки, выход которого является третьим выходом устройства, первый и второй выходы блока быстрого преобразования Фурье соединены соответственно с первыми и вторыми входами первого и второго оперативных запоминающих устройств, первый и второй выходы первого запоминающего устройства соединены соответственно с первым и вторым входами второго блока умножения, первый и второй выходы второго запоминающего устройства соединены соответственно с первым и вторым входами второго блока комплексного сопряжения, первый и второй выходы которого соединены соответственно с третьим и четвертым входами второго блока умножения, отличающееся тем, что введены первый блок сравнения с порогом, первый блок обнаружения аномальных значений, первый блок вычисления среднего значения, формирующий на выходе средние значения оставшихся неаномальных значений разностей фаз комплексных величин корреляции, первый и второй блоки вычисления модуля, второй блок сравнения с порогом, второй блок обнаружения аномальных значений, второй блок вычисления среднего значения, формирующий на выходе средние значения оставшихся неаномальных значений разностей фаз спектральных составляющих, при этом (K-1) дополнительных выходов блока оценки задержки соединены с соответствующими им (K-1) входами первого блока сравнения с порогом, (K-1) выходов которого соединены с соответствующими им (K-1) первыми входами

первого блока обнаружения аномальных значений, (K-1) вторые входы которого соединены соответствующими им (K-1) выходами первого блока вычисления аргумента комплексного числа, третий вход первого блока обнаружения аномальных значений и первый вход второго блока обнаружения аномальных значений объединены и соединены с выходом блока оценки задержки, первый выход первого блока обнаружения аномальных значений соединен с первым входом первого блока вычисления среднего значения, вторые (K-1) входов которого соединены с соответствующими им (K-1) вторыми выходами первого блока обнаружения аномальных значений, выход первого блока вычисления среднего значения соединен со вторым входом блока вычисления сдвига частоты, первый и второй выходы второго блока умножения соединены соответственно с первым и вторым входами второго блока вычисления аргумента комплексного числа, выход которого соединен со вторым входом второго блока обнаружения аномальных значений, третий вход второго блока обнаружения аномальных значений соединен с выходом второго блока сравнения с порогом, первый и второй входы которого соединены соответственно с выходами первого и второго блоков вычисления модулей, первый и второй входы первого блока вычисления модуля соединены соответственно с первым и вторым выходами первого запоминающего устройства, первый и второй входы второго блока вычисления модуля соединены соответственно с первым и вторым выходами второго запоминающего устройства, первый и второй выходы второго блока обнаружения аномальных значений соединены соответственно с первым и вторым входами второго блока вычисления среднего значения, выход которого соединен с третьим входом блока вычисления сдвига частоты.

25

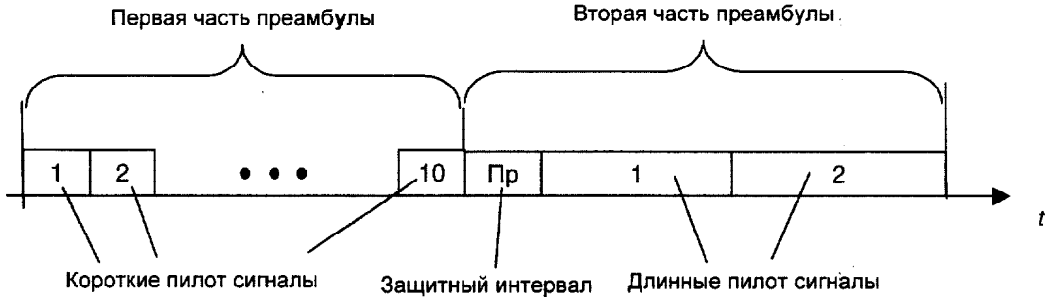
30

35

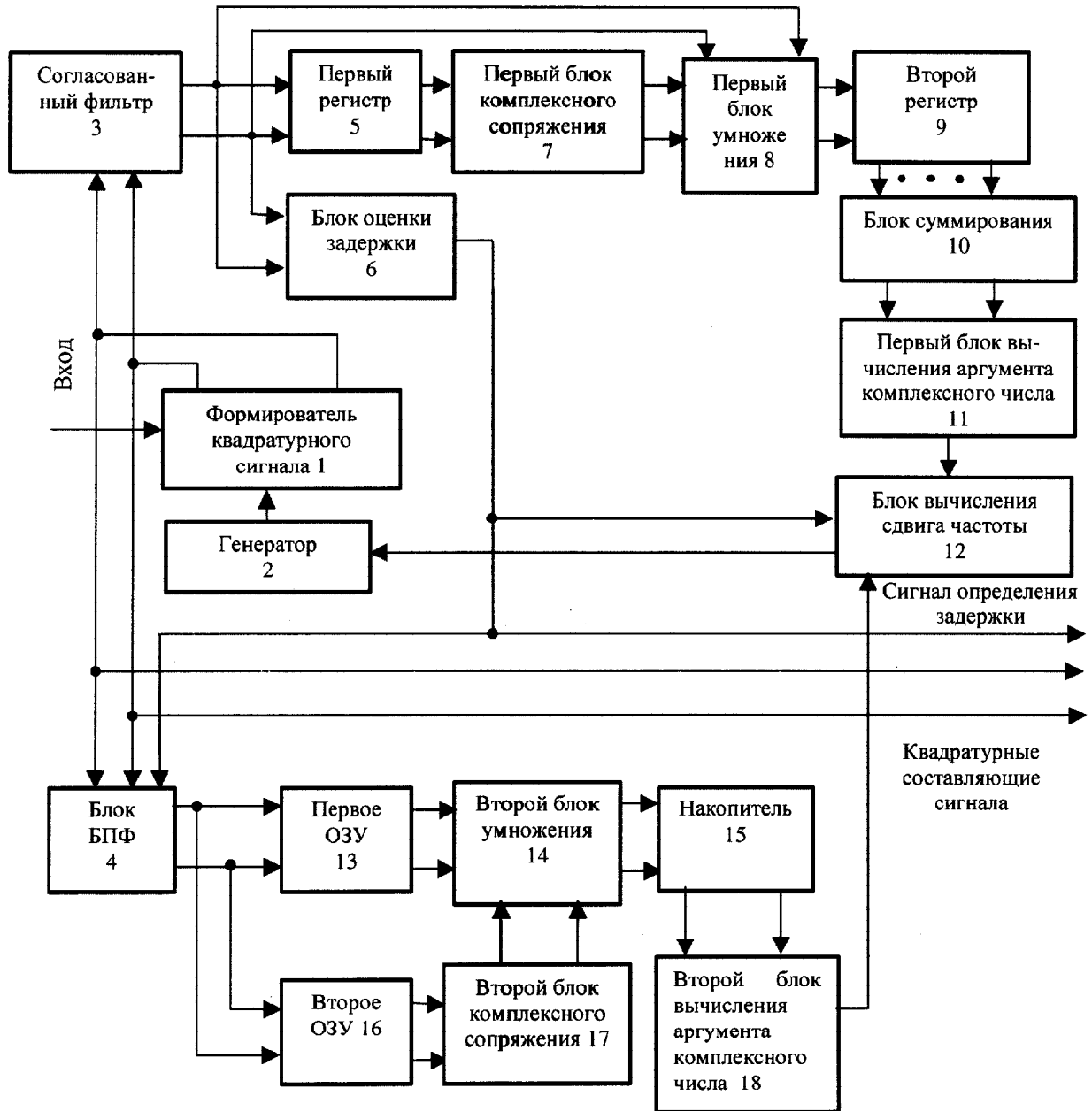
40

45

50

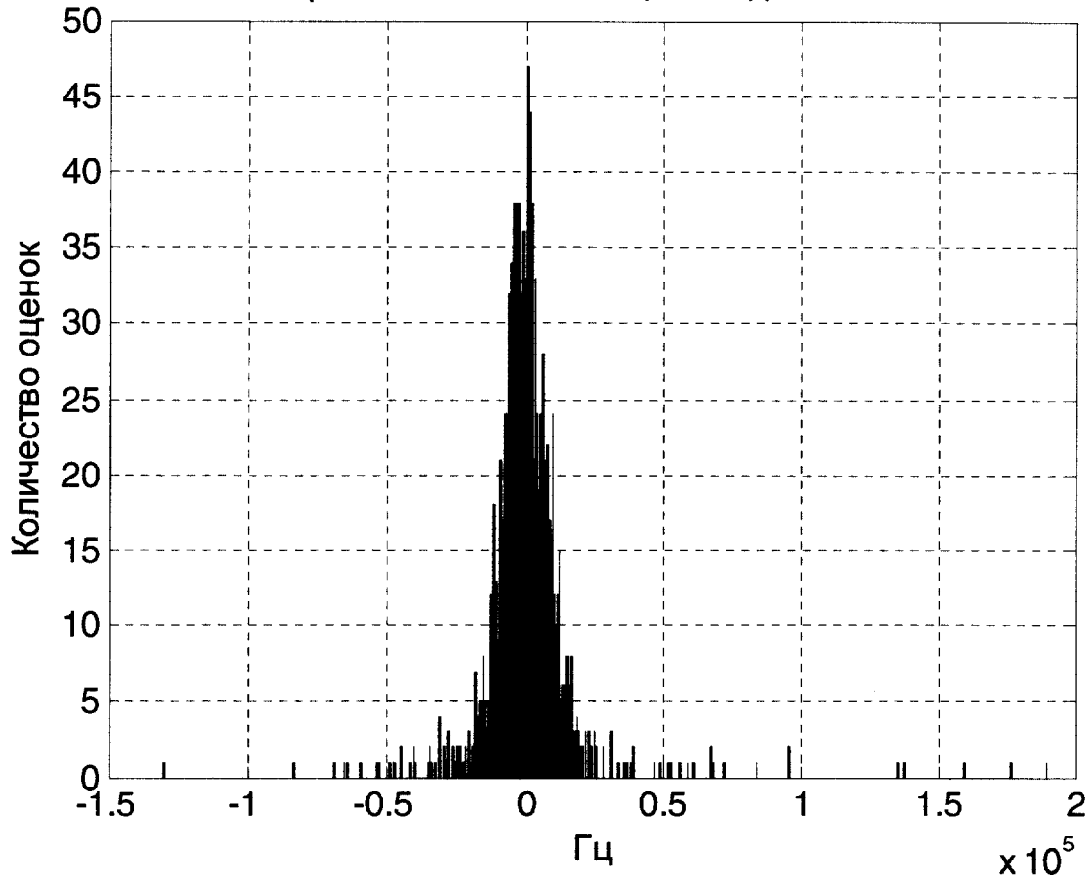


Фиг. 1

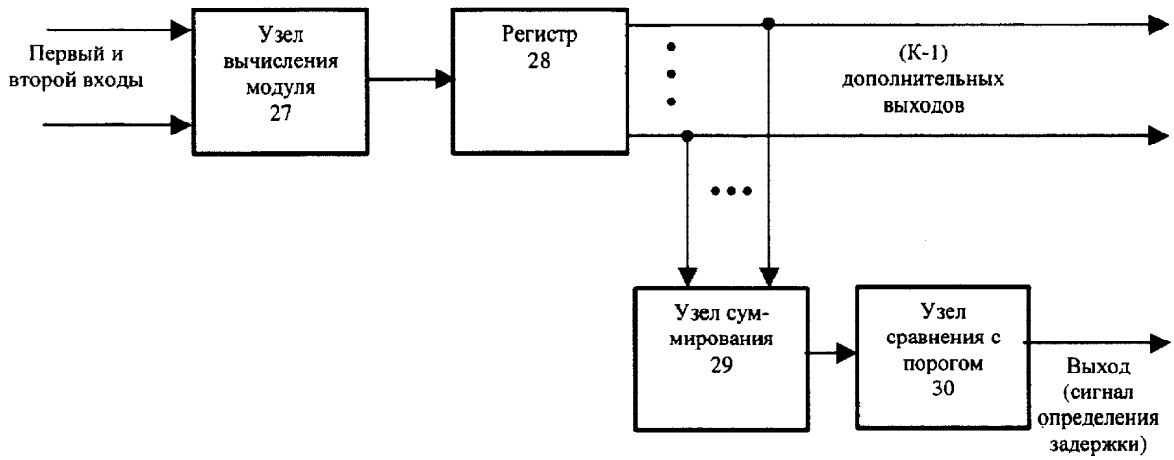


Фиг. 2

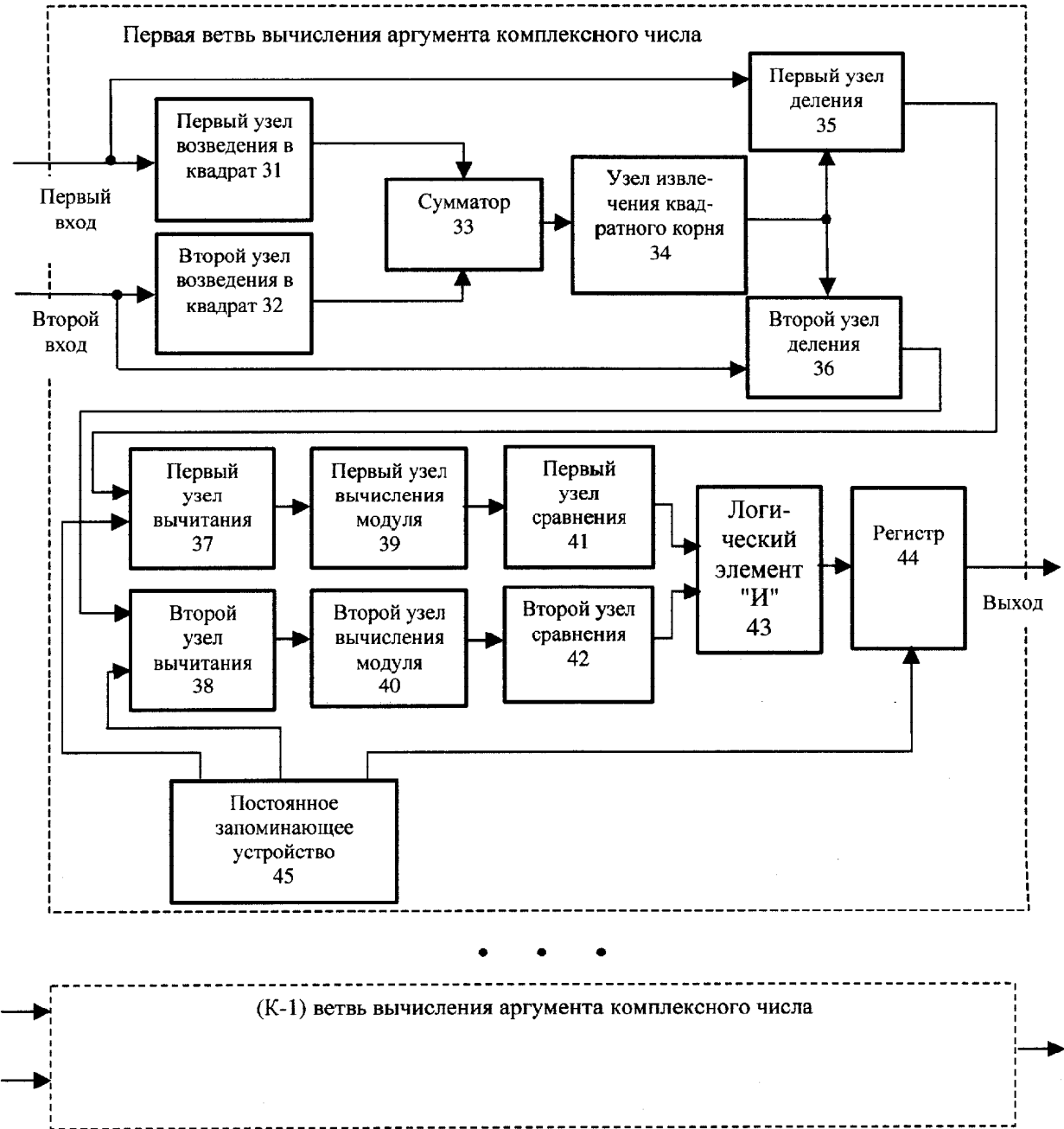
Гистограмма начальных оценок сдвига частоты



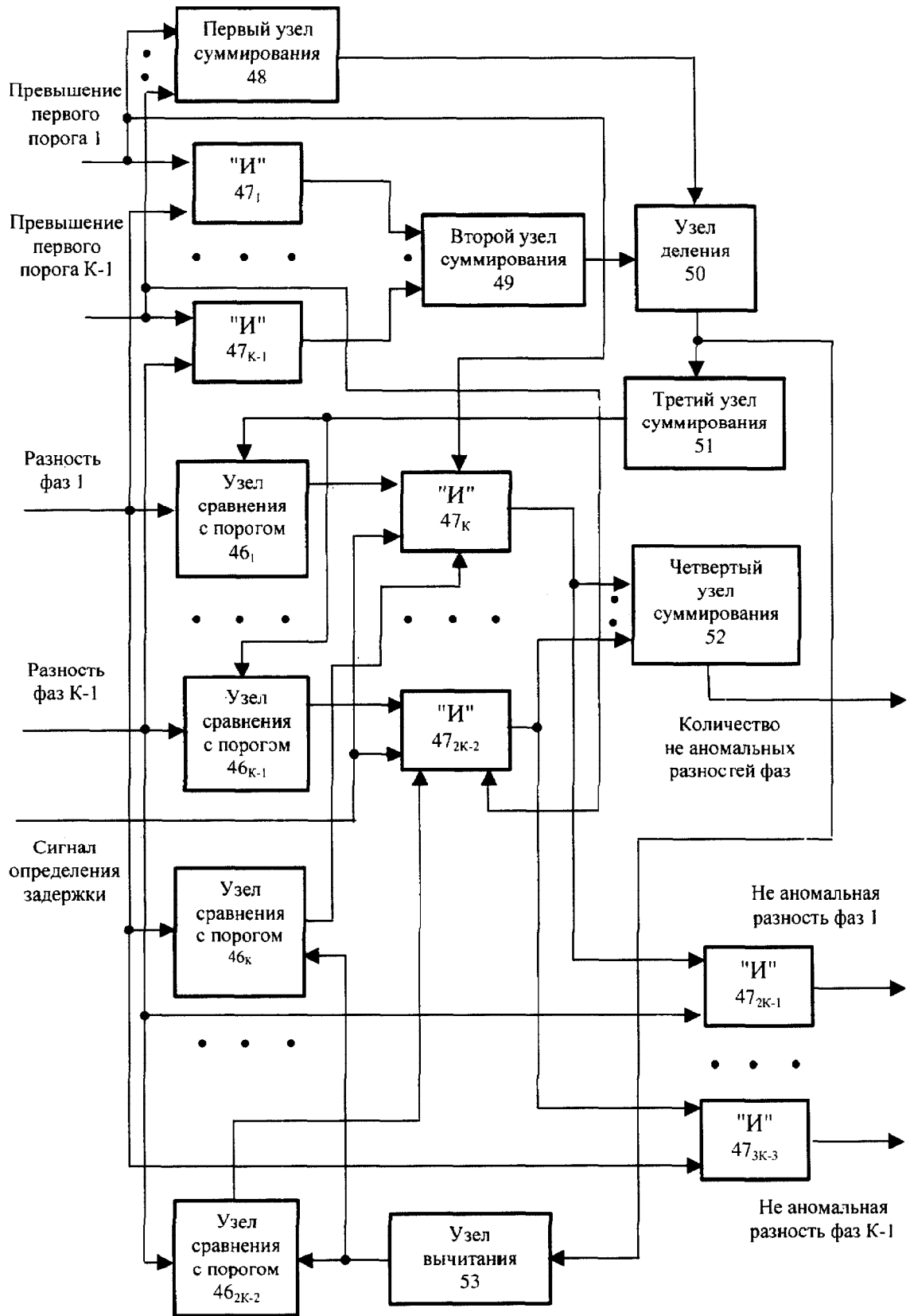
Фиг. 3



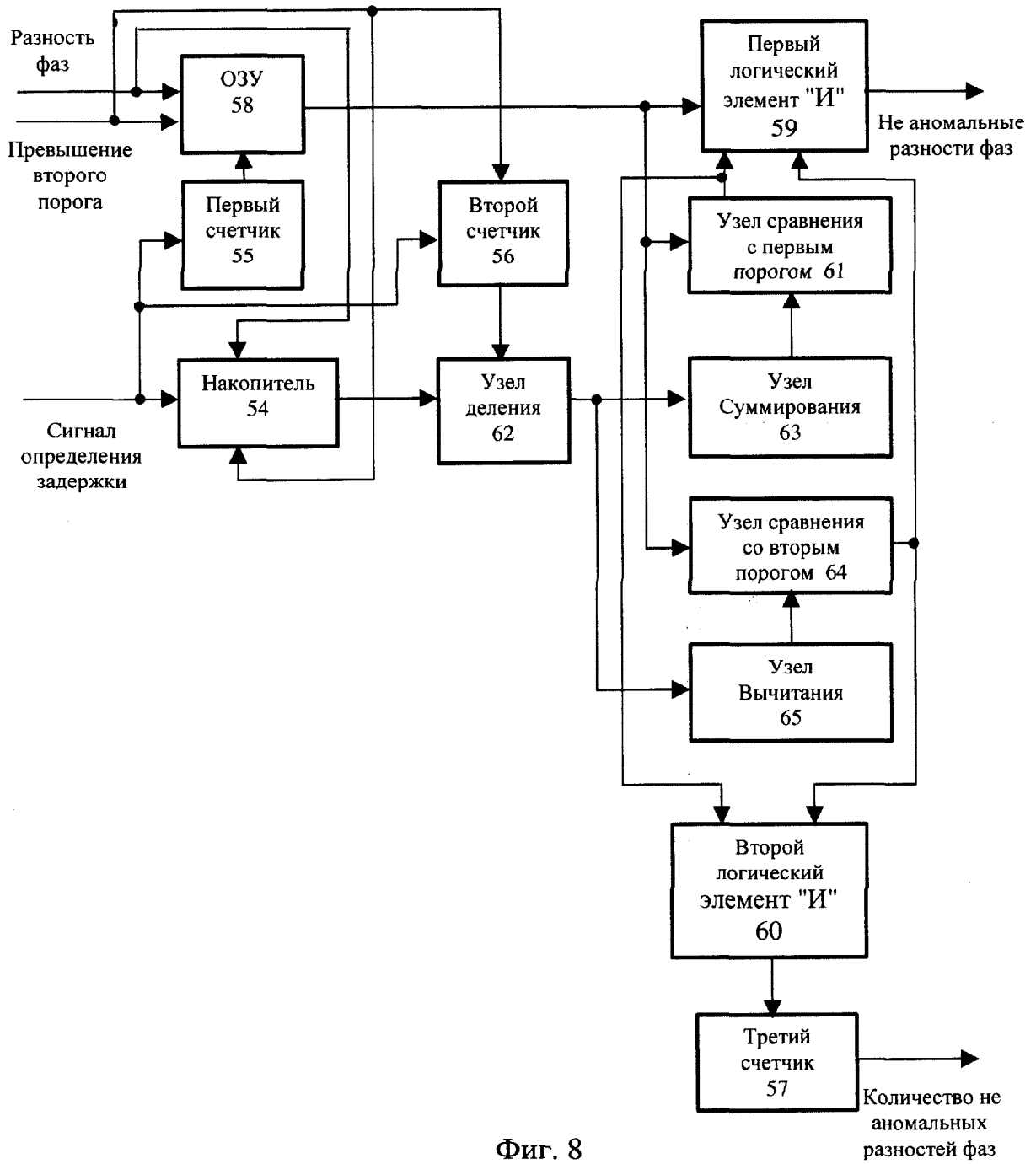
Фиг. 5



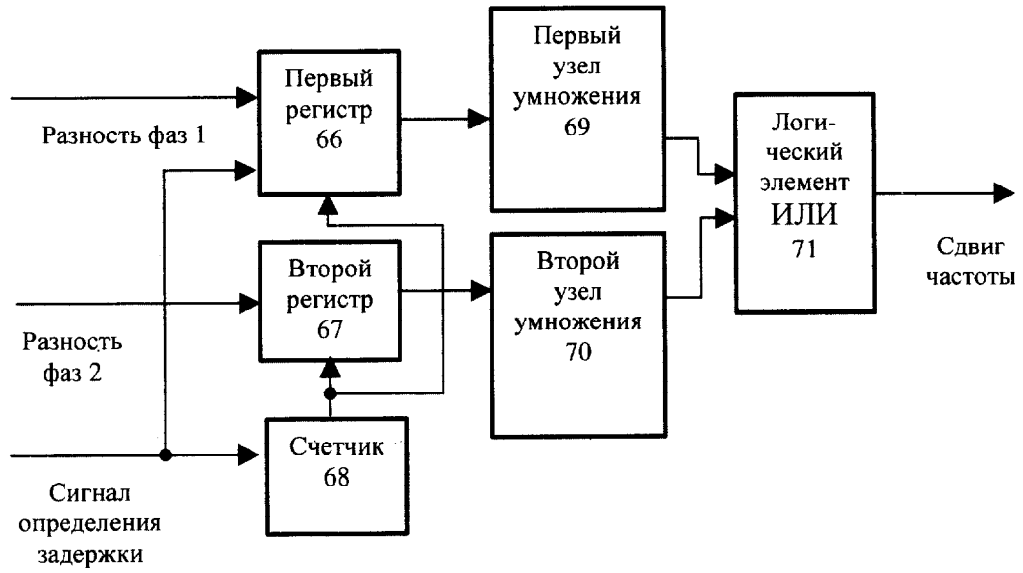
Фиг. 6



Фиг. 7



Фиг. 8



Фиг. 9